

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-219146

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

G09G 3/14

G09F 9/00

G09F 9/33

H01L 33/00

(21)Application number : 10-311569

(71)Applicant : MITSUBISHI CHEMICAL CORP
SARNOFF CORP

(22)Date of filing : 28.09.1998

(72)Inventor : KANE MICHAEL GILLIS
ATHERTON JAMES HAROLD
STEWART ROGER GREEN
CUOMO FRANK PAUL

(30)Priority

Priority number : 97 60386
97 60387

Priority date : 29.09.1997
29.09.1997

Priority country : US

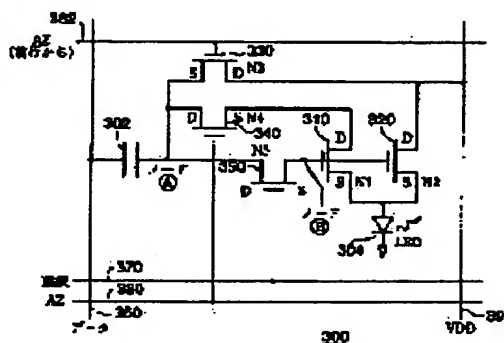
US

(54) ACTIVE MATRIX LIGHT EMITTING DIODE PICTURE ELEMENT STRUCTURE AND METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce unevenness of a current in a light emitting diode(LED) so as to improve uniformity of luminance by composing picture element structure of NMOS transistors, a capacitor and the LED.

SOLUTION: Picture element structure 300 is composed of five NMOS transistors 310-350, a capacitor 302 and an LED 304. A selection line 370 is connected to a gate of the transistor 350, and a data line 360 is connected to one terminal of the capacitor 302. An auto-zero line 380 is connected to a gate of the transistor 340, and a VDD line 390 is connected to the drains of the transistors 320, 220. One terminal of the capacitor 302 is connected to the source of the transistor 330 and the drains of the transistors 340, 350, and the sources of the transistors 310, 320 are connected to one terminal of the LED 304. With this constitution, unevenness of a current can be reduced in the LED 304.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

特開平11-219146

(43)公開日 平成11年(1999)8月10日

(51)Int.Cl. ⁸	識別記号	F I		
G 0 9 G 3/14		G 0 9 G 3/14		J
G 0 9 F 9/00	3 3 7	G 0 9 F 9/00	3 3 7 B	
	9/33		9/33	Z
				M
H 0 1 L 33/00		H 0 1 L 33/00		L

審査請求 未請求 請求項の数20 O L 外国語出願 (全 80 頁) 最終頁に続く

(21)出願番号	特願平10-311569	(71)出願人	000005968 三菱化学株式会社 東京都千代田区丸の内二丁目5番2号
(22)出願日	平成10年(1998)9月28日	(71)出願人	598150662 サーノフ コーポレーション アメリカ合衆国、ニュージャージー州・ 08543-5300、プリンストン、CN5300、 ワシントン ロード 201
(31)優先権主張番号	60/060, 386	(72)発明者	ミカエル ギリス ケーン アメリカ合衆国、ニュージャージー州・ 08558、スキルマン、ロビン ドライブ 44
(32)優先日	1997年9月29日	(74)代理人	弁理士 岡田 数彦
(33)優先権主張国	米国 (U S)		
(31)優先権主張番号	60/060, 387		
(32)優先日	1997年9月29日		
(33)優先権主張国	米国 (U S)		

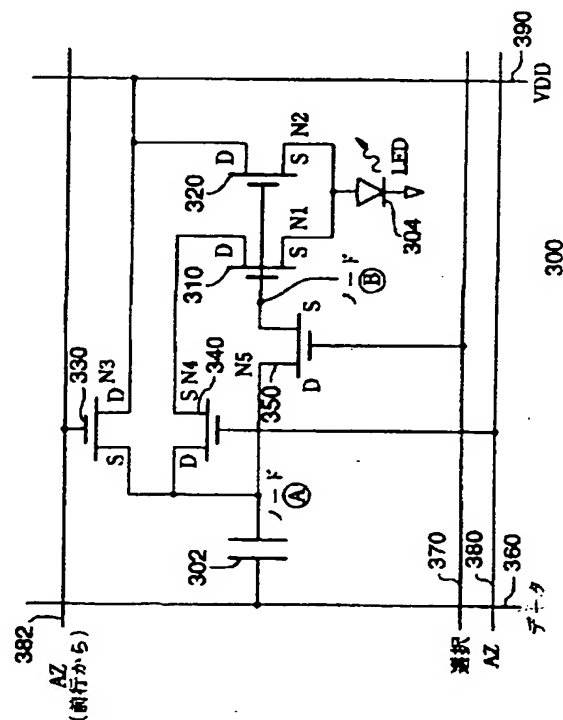
最終頁に続く

(54)【発明の名称】 アクティブマトリックス発光ダイオード画素構造およびその方法

(57)【要約】

【課題】画素構造の発光ダイオードにおける電流の不均一性を低減することによって、輝度の不均一性を改善するLED画素構造と方法とを提供する。

【解決手段】少なくとも一つの画素を備えるディスプレイであって、上記画素は、第1トランジスタと、キャパシタと、第2トランジスタと、第3トランジスタと、第4トランジスタと、第5トランジスタと、光要素とから成り、それらの構成要素を特定に接続することにより構成されていることを特徴とするディスプレイ。



【特許請求の範囲】

【請求項1】 少なくとも一つの画素を備えるディスプレイであって、当該画素は、(1) 第1選択ラインへの接続用であるゲートと、ソースと、ドレインとを有する第1トランジスタと、(2) 当該第1トランジスタのドレインが接続されている第1端子と、第2端子とを有するキャパシタと(3) オートゼロラインへの接続用であるゲートと、ソースと、当該第1トランジスタの当該ドレインが接続されているドレインとを有する第2トランジスタと、(4) 第2選択ラインへの接続用であるゲートと、当該第2トランジスタのドレインに接続されたソースと、ドレインとを有する第3トランジスタと、

(5) 当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第2トランジスタの当該ソースに接続されたドレインとを有する第4トランジスタと、

(6) 当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ドレインに接続されたドレインとを有する第5トランジスタと、

(7) 当該第4トランジスタのソースと当該第5トランジスタのソースとが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするディスプレイ。

【請求項2】 前記光要素が有機発光ダイオード(OLED)である請求項1に記載のディスプレイ。

【請求項3】 前記各トランジスタが非晶質シリコンから造られた薄膜トランジスタである請求項1又は2に記載のディスプレイ。

【請求項4】 前記第2選択ラインが前行からのオートゼロラインである請求項1～3の何れかに記載のディスプレイ。

【請求項5】 少なくとも一つの画素を備えたディスプレイであって、当該画素は、(1) 一つの選択ラインへの接続用であるゲートと、ソースと、ドレインとを有する第1トランジスタと、(2) 当該第1トランジスタのドレインが接続されている第1端子と、第2端子とを有するキャパシタと、(3) オートゼロラインへの接続用であるゲートと、ソースと、当該第1トランジスタの当該ドレインが接続されているドレインとを有する第2トランジスタと、(4) 当該第2トランジスタのソースに接続された第1端子と、点灯ラインへの接続用の第2端子とを有するダイオードと、(5) 第1トランジスタのソースに接続されたゲートと、ソースと、当該ダイオードの第1端子に接続されたドレインとを有する第3トランジスタと、(6) 当該第3トランジスタのソースが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするディスプレイ。

【請求項6】 前記ダイオードがショットキダイオードである請求項5に記載のディスプレイ。

【請求項7】 少なくとも一つの画素を備えたディスプレイであって、当該画素は、(1) 第1選択ラインへの

接続用であるゲートと、ソースと、ドレインとを有する第1トランジスタと、(2) 当該第1トランジスタのドレインが接続されている第1端子と、第2端子とを有するキャパシタと、(3) オートゼロラインへの接続用であるゲートと、当該第1トランジスタの当該ソースが接続されているソースと、ドレインとを有する第2トランジスタと、(4) 第2選択ラインへの接続用であるゲートと、当該第2トランジスタのドレインに接続されたソースと、ドレインとを有する第3トランジスタと、

(5) 当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第3トランジスタの上記ソースに接続されたドレインとを有する第4トランジスタと、

(6) 当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ドレインに接続されたドレインとを有する第5トランジスタと、

(7) 当該第4トランジスタのソースと当該第5トランジスタのソースとが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするディスプレイ。

【請求項8】 前記光要素が有機発光ダイオード(OLED)である請求項7に記載のディスプレイ。

【請求項9】 前記第2選択ラインが前行からのオートゼロラインである請求項7又は8に記載のディスプレイ。

【請求項10】 (1) 少なくとも一つのオートゼロ化画素構造と、(2) 当該オートゼロ化画素構造にオートゼロ化の実行を可能にするため、当該オートゼロ化画素構造に接続されたオートゼロラインと、(3) オートゼロ電圧の範囲を拡張するため、一つの電圧を当該オートゼロ化画素構造に運ぶように、当該オートゼロ化画素構造に接続された第2ラインとから成るディスプレイ。

【請求項11】 光要素への印加エネルギーを制御する回路を含む少なくとも1個の画素を有するディスプレイを点灯する方法であって、(a) 画素をオートゼロ化するステップと、(b) データライン経由でデータを当該画素へロードするステップと、(c) 保存されたデータに基づいて当該光要素を点灯するステップとから成ることを特徴とする方法。

【請求項12】 前記オートゼロ化ステップ(a)の前に前記画素をプリチャージするステップを更に含む請求項11に記載の方法。

【請求項13】 前記オートゼロ化ステップ(a)が基準ブラックレベルを印加するステップを含む請求項11又は12に記載の方法。

【請求項14】 少なくとも1個の画素を有するディスプレイを点灯する方法であって、(a) 当該画素の画素パラメータを測定するステップと、(b) 測定された画素パラメータに基づいて入力画素データを調整するステップと、(c) 調整された入力画素データに基づいて当該画素を点灯するステップとから成ることを特徴とする

10

20

30

40

50

方法。

【請求項15】 前記測定ステップ(a)が前記画素によって引き出された電流を外部的に測定する請求項14に記載の方法。

【請求項16】 前記調整ステップ(b)が、電圧オフセット(V_{offset})パラメータを求めるため、前記測定された画素パラメータを使用して前記画素データを補正する請求項14又は15に記載の方法。

【請求項17】 前記調整ステップ(b)が、更に、ゲイン係数(C)パラメータを求めるため、前記測定された画素パラメータを使用して前記画素データを補正する請求項16に記載の方法。

【請求項18】 ディスプレイコントローラと当該ディスプレイコントローラに接続されると共に複数の画素から成るディスプレイとから成るシステムであって、当該各画素が、(1)第1選択ラインへの接続用ゲートと、ソースと、およびドレインとから成る第1トランジスタと、(2)当該第1トランジスタの当該ドレインに接続された第1端子と、第2端子とを有するキャパシタと、(3)オートゼロラインへの接続用ゲートと、当該第1トランジスタの当該ソースに接続されたソースと、ドレインとを有する第2トランジスタと、(4)第2選択ラインへの接続用ゲートと、当該第2トランジスタの当該ドレインに接続されたソースと、ドレインとを有する第3トランジスタと、(5)当該第1トランジスタの当該ソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ソースに接続されたドレインとを有する第4トランジスタと、(6)当該第1トランジスタの当該ソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ドレインに接続されたドレインとを有する第5トランジスタと、(7)当該第4トランジスタのソースと当該第5トランジスタのソースとが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするシステム。

【請求項19】 (1)画素の画素パラメータを測定するための測定モジュールと、(2)当該測定された画素パラメータを保存するための記憶装置とを有するディスプレイコントローラと、(3)当該保存された画素パラメータに基づいて調整された入力画素データを表示するため、当該ディスプレイコントローラに接続されたディスプレイとから成るシステム。

【請求項20】 前記測定モジュールが前記画素によって引き出される電流を測定するための電流検知回路を有する請求項19に記載のシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリックス発光ダイオード画素(ピクセル)構造に関する。本発明は、詳しくは、画素構造の発光ダイオードにおいて電流の不均一性を低減して輝度の均一性を改善する画

素構造と、前記アクティブマトリックス発光ダイオード画素構造の作動方法に関する。尚、本出願は1997年9月29日出願の米国仮出願第60/060,386号および1997年9月29日出願の米国仮出願第60/060,387号の優先権を主張すると共に、本出願に引用する。

【0002】

【従来の技術】図1に示すようなマトリックスアドレスングを使用して画素を点灯するマトリックスディスプレイは、当該技術分野において周知である。典型的なディスプレイ100は、行と列に構成された画面要素すなわち表示要素(ピクセル)160を有する。このディスプレイは、列データ発生装置110と行データ発生装置120を内蔵している。作動にあたっては、各行は行ライン130を介して順次通電されるとともに、対応する列ラインを使用して対応する画素が通電される。パッシブマトリックスディスプレイにおいては、各行の画素は順次1個ずつ点灯されるが、アクティブマトリックスディスプレイにおいては、各列の画素に順次データがロードされる。すなわち、パッシブマトリックスディスプレイの各列は全フレーム時間のほんの一部分で「通電状態である」に過ぎないが、アクティブマトリックスディスプレイの各列はフレーム時間の全体にわたって「通電状態とする」ことが出来る。

【0003】ポータブルディスプレイ、例えばラップトップコンピュータの普及にともなって、さまざまなプレイ技術、例えば液晶ディスプレイ(LCD)および発光ダイオードディスプレイ(LED)が使用されるようになった。一般的に、ポータブルディスプレイにおいては、ディスプレイを使用するポータブルシステムの電力を節約し、それによってポータブルシステムの「使用時間」を延長できる様にするのが重要である。

【0004】LCDにおいては、ディスプレイの使用中の全期間にわたってバックライトがオンになっている。すなわち、LCD内のすべての画素が点灯され、ある画素を「暗く」するには、画素を通る光を偏光層でさえぎる。これに対して、LEDディスプレイは、通電された画素のみが点灯され、暗い画素を点灯する必要をなくして省電力を図っている。

【0005】図2に、2個のNMOSトランジスタN1とN2を有する従来技術のアクティブマトリックスLED画素構造200を示す。この画素構造においては、トランジスタN1に通電することによりコンデンサCにデータ(電圧)が先ず保存され、次に「駆動トランジスタ」N2に通電してLEDを点灯する。画素構造200を使用したディスプレイでも節電は可能であるが、この画素構造では、いくつかの原因により不均一な輝度レベルを呈する。

【0006】第一に、LEDの輝度はそこを通る電流に比例することが観測されている。使用中、「駆動トランジスタ」N2の閾値電圧がドリフトするためLEDを通

る電流が変化する可能性がある。この電流の変化がディスプレイの輝度の不均一性の一因となる。

【0007】第二に、ディスプレイの輝度の不均一性のもう一つの原因は、「駆動トランジスタ」N2の製造において見いだすことが出来る。いくつかの場合に、「駆動トランジスタ」N2は、トランジスタの初期閾値電圧の均一性の確保が困難な材料で作られ、その結果、画素ごとに変動する。

【0008】第三に、LEDの電氣的パラメータも不均一性を呈することがある。例えば、バイアス温度ストレス条件下では、OLED（有機発光ダイオード）のターンオン電圧の増加が予想される。

【0009】従って、画素構造の「駆動トランジスタ」における閾値電圧の変動に起因する電流の不均一性を低減する画素構造と、それに関連する方法が当該技術分野において必要となっている。

【0010】

【発明が解決しようとする課題】本発明は、画素構造の発光ダイオードにおける電流の不均一性の低減によって輝度の均一性を改善するLED（またはOLED）画素構造と方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記課題を解決するために、本発明者らは鋭意検討した結果、5個のNMOSTランジスタ、コンデンサ、およびLEDから成る画素構造が上記課題を解決できることを見出し、本発明を完成するに至った。

【0012】すなわち、本発明の第一の要旨は、少なくとも一つの画素を備えるディスプレイであって、当該画素は、（1）第1選択ラインへの接続用であるゲートと、ソースと、ドレインとを有する第1トランジスタと、（2）当該第1トランジスタのドレインが接続されている第1端子と、第2端子とを有するキャパシタと

（3）オートゼロラインへの接続用であるゲートと、ソースと、当該第1トランジスタの当該ドレインが接続されているドレインとを有する第2トランジスタと、

（4）第2選択ラインへの接続用であるゲートと、当該第2トランジスタのドレインに接続されたソースと、ドレインとを有する第3トランジスタと、（5）当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第2トランジスタの当該ソースに接続されたドレインとを有する第4トランジスタと、（6）当該第1トランジスタのソースに接続されたゲートと、ソースと、当該第3トランジスタの当該ドレインに接続されたドレインとを有する第5トランジスタと、（7）当該第4トランジスタのソースと当該第5トランジスタのソースとが、一方の端子に接続されている2個の端子を有する光要素とから成ることを特徴とするディスプレイに存する。

【0013】第1の要旨の好ましい態様において、画素

構造は3個のトランジスタと1個のダイオードから成る。

【0014】第1の要旨の他の好ましい態様において、画素構造は5個のトランジスタを有する異なる画素構造である。

【0015】第1の要旨の他の好ましい態様において、画素構造はオートゼロ化電圧範囲を拡張する追加のラインを1本備える。

【0016】本発明の第2の要旨は、画素パラメータを測定し、それを使用して入力画素データを調節する、一つの外部測定モジュールと種々の測定方法に存する。

【0017】

【発明の実施の形態】以下、本発明を図面を使用して詳しく説明する。尚、理解を容易にするため、各図に共通の要素は可能な限り同一の符号を付した。

【0018】図3は、本発明によるアクティブマトリックスLED画素構造300の略図である。好ましい実施態様において、アクティブマトリックスLED画素構造は、薄膜トランジスタ（TFT）、すなわちポリシリコンまたはアモルファスシリコンを使用して作られたトランジスタを使用して実施される。同様に、好ましい実施態様において、アクティブマトリックスLED画素構造は、有機発光ダイオード（OLED）を使用する。この画素構造は薄膜トランジスタと有機発光ダイオードを使用して実施しているが、本発明は他のタイプのトランジスタや発光ダイオードを使用しても実施できる。

【0019】この画素構造300は、トランジスタ閾値電圧（ V_t ）の不均一性が大きくかつOLEDターンオン電圧の不均一性が大きい場合でも、均一な電流駆動を提供する。すなわち、OLEDを通る電流を均一に保ち、それによってディスプレイの輝度の均一性を確保することが望ましい。

【0020】図3を参照すると、画素構造300は、5個のNMOSTランジスタN1（310）、N2（320）、N3（330）、N4（340）およびN5（350）、コンデンサ302、およびLED（OLED）（光要素）304（光要素）から成る。選択ライン370はトランジスタ350のゲートに接続されている。データライン360はコンデンサ302の一方の端子に接続されている。オートゼロライン380はトランジスタ340のゲートに接続されている。VDDライン390がトランジスタ320、330のドレインに接続されている。画素アレイ内の前の行からのオートゼロライン382が、トランジスタ330のゲートに接続されている。

【0021】前行からのオートゼロライン382は第2の選択ラインとして実施可能であることに注目すべきである。すなわち、現在の画素のタイミングは、前行からのオートゼロライン382が第2の選択ラインを必要とせずに利用でき、それによって現在の画素の複雑さとコ

ストを低減するようになっている。

【0022】コンデンサ302の一方の端子は（ノードAにおいて）トランジスタ330のソースと、トランジスタ340、350のドレインに接続されている。トランジスタ350のソースは（ノードBにおいて）トランジスタ310と320のゲートに接続されている。トランジスタ310のドレインはトランジスタ340のソースに接続されている。最後に、トランジスタ310と320のソースはLED304の一方の端子に接続されている。

【0023】前述のように、有機LEDディスプレイの駆動には種々の不均一性による問題が多い。本発明は、これらの問題を対象とする有機LEDディスプレイの構造に関する。すなわち、各LED画素は、LEDターンオン電圧の変動やTFT閾値電圧の変動に鈍感な方法で駆動される。すなわち、現在の画素は、LEDターンオン電圧やTFT閾値電圧の変動に対処するために使用されるオートゼロ化方法を使用して、オフセット電圧パラメータを求めることが出来る。

【0024】更に、従来のアクティブマトリックス液晶ディスプレイにおいて使用された方法に極めて類似する方法によって、各画素にデータがデータ電圧として供給される。その結果、本発明のディスプレイ構造は、従来の行と列のスキマに対し、外付けでも内蔵でも使用することが出来る。

【0025】本発明の画素は、5個のTFTと、1個のコンデンサと、LEDとを使用する。TFTの接続は、LEDのカソードではなく、アノードに接続されることに注目すべきであり、このことは従来の有機LEDにおいてはITOがホールエミッタであるという事実によって必要とされる。従って、LEDはTFTのドレインではなく、ソースに接続される。各ディスプレイの列は、2本の行ライン（オートゼロラインと選択ライン）と、1-1/2列ライン（データラインと、隣の列と共有する+VDDライン）を有する。各ライン上の波形も図4に示す。画素300の作動を以下3フェーズ、すなわち3段階で詳述する。

【0026】第一フェーズはプリチャージフェーズである。前行382のオートゼロ（AZ）ライン上の正のパルスがトランジスタ330を「オン」にし、画素のノードAを V_{dd} 、例えば+10Vまでプリチャージする。次にデータラインが、前行の画素へデータを書き込むため、そのベースライン値から変化し、そのベースラインへ戻る。これは考慮中の画素への正味効果を持たない。

【0027】第二フェーズはオートゼロフェーズである。現在の行のAZラインとSELECTラインが高くなり、トランジスタ340、350を「オン」にし、トランジスタN1 310のゲートを落とし、ターンオン電圧へと自己バイアスをかけ、LEDに極くわずかな電流を流す。このフェーズにおいて、LEDのターンオン

電圧とN1の閾値電圧の合計がN1のゲートに保存される。N1とN2とはごく接近して配置できるので、それらの初期閾値電圧は極めて類似している。更に、これら2個のトランジスタのソースに対するゲート電圧 V_{gs} は同じはずである。TFTの閾値電圧のドリフトはTFTの全寿命にわたって V_{gs} のみに依存するので、これらデバイスの閾値電圧はTFTの全寿命にわたって追従すると見なすことが出来る。従って、N2の閾値電圧もそのゲート上に保存される。オートゼロ化の完了後、オートゼロラインはロー（low）に戻る一方、選択ラインはハイ（high）のままである。

【0028】第三フェーズはデータ書き込みフェーズである。データはベースライン電圧を超える電圧としてデータラインへ印加され、コンデンサを介して画素に書き込まれる。次に選択ラインがローに戻り、データ電圧、プラスLEDターンオン電圧、プラスN2の閾値電圧の合計が、残りのフレームに関してノードBに保存される。保存されたデータがリークによって失われないように、ノードBから $+V_{dd}$ までのコンデンサを使用できることに注目すべきである。

【0029】要するに、オートゼロフェーズの間、細電流（trickle current）を使用して、LEDのターンオン電圧とN2の閾値電圧が「測定」され、ノードBに保存される。このオートゼロフェーズは、本質的には駆動電流が極めて小さい電流駆動モードの作動である。オートゼロフェーズの後の書き込みフェーズになって初めて、印加されたデータ電圧を使用してLEDに増分が与えられる。従って、本発明は、電圧駆動または電流駆動よりはむしろ、「ハイブリッド駆動」を有するということが出来る。ハイブリッド駆動方法は、電圧駆動および電流駆動における欠点がなく、両者の長所を組み合わせるものである。LEDのターンオン電圧とTFTの閾値電圧の変動は、電流駆動における場合と全く同様に補正される。同時に、ディスプレイ上のすべてのラインは電圧によって駆動されるので、高速で駆動することが出来る。

【0030】注目すべきことに、データライン360に印加されるデータ電圧の増分は、LED304全体にわたって直接現れるのではなく、N2（320）とLEDの V_{gs} 間に分割される。このことは単に、データ電圧からLED電圧への非線型のマッピングがあることを意味する。このマッピングは、LED電圧からLED電流への非線型のマッピングと組み合わせられて、データ電圧からLED電圧への全体の伝達関数を発生するが、これは単調で、上記のようにディスプレイの全寿命にわたって安定している。

【0031】現在の画素構造300の利点は、閾値が補正されない画素におけるトランジスタ（N3、N4およびN5）がフレームあたり1列時間のみオンとなるためデューティサイクルが極めて短く、認識できるほどには

10

20

30

40

50

シフトしないと予想されることである。更に、N2は、LEDの現在バスにおける唯一のトランジスタである。このバス上で直列接続されたトランジスタは、ディスプレイ効率を劣化させるか、あるいは未補正のTFT閾値シフトによる問題を発生する可能性があり、もしも一つの列上の全部の画素によって共有されると、縦方向の著しいクロストークをもたらす可能性がある。

【0032】選択パルスとオートゼロ(AZ)パルスは行スキナによって形成される。列データはAZパルス同士間のタイムスロットにおいて(任意の)一定ベースライン電圧に加えて印加される。選択信号の下降エッジは、データライン上でデータが有効である間に発生する。直接サンプル・タイプまたはチョップト・ランプ・タイプのいずれかの各種の外付けまたは内蔵の列スキナが、このタイミングによってデータを発生することが出来る。

【0033】上記の画素構造によれば、有機LEDを使用して大型の直視ディスプレイを造ることが出来る。もちろん、現在の画素構造は、駆動電流を必要とするディスプレイ要素を使用する任意のディスプレイ技術にも、特にディスプレイ要素またはTFTのターンオン電圧がシフトするかまたは不均一である場合、適用可能である。

【0034】図5は、本発明によるアクティブマトリックスLED画素構造500の好ましい実施態様の略図である。この画素構造500は、図3の画素構造300に類似であるが、ここでは2個のトランジスタの代わりにショットキダイオード1個を使用している。

【0035】画素構造300が有する可能性のある欠点の一つとして、1画素あたり5個のトランジスタを使用していることが挙げられる。すなわち、各画素に多数のトランジスタを使用しているので、画素のフィルファクタ(fill factor)(アクティブプレートを通るボトム側放出を想定して)およびその収率(yield)にも影響を及ぼす可能性がある。従って、画素構造300は、各画素に1個のショットキダイオードのみを使用してトランジスタ数を5個から3個に減らしつつ、且つ上記と同じ機能を果たす。

【0036】図5において、画素500は3個のNMOSトランジスタN1(510)、N2(520)、N3(530)、1個のコンデンサ502、1個のショットキダイオード540、およびLED(OLED)550(光要素)から成る。選択ライン570はトランジスタ530のゲートに接続されている。データライン560はコンデンサ502の一方の端子に接続されている。オートゼロライン580はトランジスタ520のゲートに接続されている。点灯ライン(VDDラインに類似)590はショットキダイオード540の一方の端子に接続されている。

【0037】コンデンサ502の一方の端子は(ノード

Aにおいて)トランジスタ520と530のドレインに接続されている。トランジスタ530のソースは(ノードBにおいて)トランジスタ510のゲートに接続されている。トランジスタ510のドレインはトランジスタ520のソースと、ショットキダイオード540の一方の端子に接続されている。

【0038】画素構造500も、下記のように、プリチャージフェーズ、オートゼロフェーズ、およびデータ書き込みフェーズの3フェーズで作動する。すべての点灯ラインはディスプレイの周囲で相互に結合されていて、プリチャージフェーズが始まる前に、これら点灯ラインは、約+15Vのプラスの電圧 V_{ILL} に保持される。以下の説明においては、考慮中の行を「行i」と呼ぶ。各ライン上の波形も図6に示す。

【0039】第一フェーズはプリチャージフェーズである。プリチャージは、オートゼロ(AZ)ラインがトランジスタN2をオンにし、選択ラインがトランジスタN3をオンにすると開始される。このフェーズは、データラインがリセットレベルにあるとき行なわれる。ノードAとBにおける電圧はトランジスタN1のドレインと同じ電圧まで上昇するが、これは V_{ILL} より低いダイオード降下である。

【0040】第二フェーズはオートゼロフェーズである。次に、点灯ラインがアースに落ちる。このフェーズ中、アレイ上のすべての画素は短時間暗くなる。ここで、ショットキダイオード540がトランジスタN1のドレインを、アースされた点灯ラインから絶縁して、N1のオートゼロ化が始まる。ノードBがトランジスタN1の閾値電圧プラスLED550のターンオン電圧にほぼ等しい電圧に達すると、AZラインを使用してトランジスタN2を「オフ」にし、点灯ラインは V_{ILL} に戻る。選択されなかった行のすべての画素が再び点灯する。

【0041】第三フェーズはデータ書き込みフェーズである。次に、行iに関するデータがデータラインに印加される。ノードAとBにおける電圧上昇が、データラインのリセット電圧レベルとデータ電圧レベル間の差を等しくする。このようにして、トランジスタN1の閾値電圧とLEDのターンオン電圧の変動が補正される。ノードBにおける電圧が落ち着いた後、行iに関する選択ラインを使用してトランジスタN3をオフにし、データラインがリセットされる。これで次のフレームまで適切なデータ電圧が画素に保存される。

【0042】以上、先に述べた5トランジスタ画素の利点を持ちつつも、トランジスタ数の少ない、OLEDディスプレイ用3トランジスタ画素について説明した。更なる利点として、5トランジスタ画素には、オートゼロ化とLED駆動とに別々のトランジスタを使用されることである。画素300が適切に作動するには、これら2個のトランジスタの初期閾値が一致し、寿命の全期間に

わたって同じようにドリフトすることが必要である。最近の実験データが示唆するところによれば、(これらトランジスタのように) T F T同士のドレイン電圧が互いに異なると、両T F Tは同様にはドリフトしない。従って、画素500は、適切なオートゼロ化が保証されるように、LEDを駆動する同じトランジスタ上でオートゼロ化を行なう。

【0043】図7は、本発明によるアクティブマトリックスLED画素構造700の代替実施態様の略図である。この画素構造700は、図3の画素構造300に類似するが、更に正確なオートゼロ電圧を発生する。

【0044】すなわち、図3において、オートゼロ化は、各プリチャージサイクルが図3に示すように大きなプラス電荷 Q_{PC} を画素300のノードAに注入するという事実から生ずる。プリチャージフェーズ中、ノードA上のキャパシタンスのほとんどすべてはコンデンサ C_{data} からであり、ノードAに注入される電荷は式(1)で表される。

【0045】

【数1】

$$Q_{PC} \cong C_{data} (V_{DD} - V_A) \quad (1)$$

【0046】ここで V_A は、プリチャージフェーズが始まる前のノードAにおける電圧である。 V_A は、画素300に予め与えられたデータ、N3(300)の閾値電圧、およびLED304のターンオン電圧に左右される。 C_{data} が大きなキャパシタンス(約1 pF)であるので、 Q_{PC} も10ピコクーロン(picocoulomb)程度と大きい。

【0047】画素300が安定したオートゼロレベルにあるとき、 Q_{PC} はオートゼロフェーズ中、N1(300)とLED304とを通過して流れる。オートゼロ間隔(インタバル)は短いので(約10 μ sec)、N1にはその閾値電圧より高いゲート対ソースオートゼロ電圧が残る可能性があり、同様にLEDもそのターンオン電圧を上回ってオートゼロ化する。このように、オートゼロ化プロセスにおいては、ノードAとノードBで、真のゼロ電流オートゼロ電圧ではなく、その近似値を発生する可能性がある。

【0048】注目すべきことは、N1とLEDを通る正確なゼロ電流に対応する真のゼロ電流オートゼロ電圧を発生させる必要がないという点である。本発明において、微弱な電流(約10ナノアンペア)をN1 300とLED 304とを通過して流すことの出来るオートゼロ電圧を得ることが望ましい。オートゼロ間隔(インタバル)は約10 μ secであるので、 Q_{PC} は約0.1ピコクーロン程度のはずである。上記のように、 Q_{PC} は約10ピコクーロンである。

【0049】このように大きな Q_{PC} の効果として、画素の安定オートゼロ電圧が閾値電圧とターンオン電圧の合

計をはるかに上回る可能性がある。この状態そのものは、もしも過剰なオートゼロ電圧がディスプレイ全体にわたって均一であれば、問題にはならない。すなわち、すべてのデータ電圧を相応にオフセットすることによって、この効果に対処することが出来る。

【0050】しかし、もしも Q_{PC} が大きいのみならず、前のデータ電圧とオートゼロ電圧そのものに左右される場合、問題を生ずる可能性がある。この状態がもしもディスプレイ内で発生すると、すべての画素のオートゼロ電圧が大幅に過剰になるのみならず、過剰電圧の大きさが画素ごとに異なる可能性がある。実際、そのような条件下では、画素300のオートゼロ化によって均一なディスプレイを作ることが出来ない。

【0051】この問題に対処するため、画素700はプリチャージ Q_{PC} を極めて小さい値に下げることが出来る。また、オートゼロ化に実際に必要な電荷に応じて Q_{PC} を変化させることの出来る「可変プリチャージ」方法を開示する。要するに、現在のオートゼロ電圧が低すぎる場合、オートゼロ電圧を所望の値にまで上げるため、 Q_{PC} はその最小値、約0.1ピコクーロンとなる。しかし、現在のオートゼロ電圧が高すぎると、 Q_{PC} は実質的にゼロになり、オートゼロ電圧が急速に下がることを可能にする。

【0052】図7を参照すると、画素700は、5個のNMOSTランジスタ、N1(710)、N2(720)、N3(730)、N4(740)、N5(750)と、コンデンサ702と、LED(OLED)704(光要素)とから成る。選択ライン770はトランジスタ710のゲートに接続されている。データライン760はコンデンサ702の一方の端子に接続されている。オートゼロライン780はトランジスタ740のゲートに接続されている。 V_{DD} ライン790はトランジスタ720と750のドレインに接続されている。画素アレイ内の前の行からのオートゼロライン782はトランジスタ750のゲートに接続されている。

【0053】本発明において、前の行からのオートゼロラインを第二選択ラインとすることが出来ることが特徴である。すなわち、現在の画素のタイミングを、第二選択ラインを必要とせずに前の行からのオートゼロライン782を利用できるようなタイミングにして、現在の画素の複雑さとコストを低減することが出来る。

【0054】コンデンサ702の一方の端子は(ノードAにおいて)トランジスタ710のドレインに接続されている。トランジスタ710のソースは(ノードBにおいて)トランジスタ720、730のゲートに接続され、トランジスタ740のソースに接続されている。トランジスタ740のドレインは(ノードCにおいて)トランジスタ750のソースとトランジスタ730のドレインに接続されている。最後に、トランジスタ730、720のソースはLED704の一方の端子に接続され

ている。

【0055】更に具体的に、画素700は、トランジスタN3(730)のドレインであるノードCにプリチャージ電圧が印加されること以外は、画素300に類似する。更に、図8に示すようないくつかのタイミング変更もある。以下に、画素700の作動を3フェーズの段階に分けて説明する。

【0056】第一フェーズは前のラインタイム中、すなわちデータが前の行の画素に印加される前に行なわれるプリチャージフェーズである。選択ライン上のプラスの10 パルスがN1を「オン」にし、これによってノードAとBが互いにショートされ、画素700の状態が、直前のオートゼロフェーズの後の状態に戻る。すなわち、画素は、画素の適切なオートゼロ電圧の最近の推測値である、データに依存しない電圧に戻る。N1が「オン」である間、前の行ラインからのオートゼロライン782上の正のパルスがトランジスタN5を「オン」にし、これによってノードCをV_{dd}にプリチャージする。次に、トランジスタN1とN5が「オフ」とされる。

【0057】トランジスタN1とN5のオン、オフの相20 対的タイミングは、あまり重要ではないが、トランジスタN1は、トランジスタN5がオフになる前にオンとしなければならない。そうしないと、トランジスタN3が旧データ電圧に応じて依然としてオンのままとなり、ノードCへ注入された電荷がトランジスタN3を経てリークしてしまう可能性がある。

【0058】プリチャージフェーズの後、電荷Q_{pc}はノードCにおいて、トランジスタN3、N4、N5のゲート対ソース/ドレインのキャパシタンス上に保存される。これらキャパシタンスの合計は極めて小さく(約10 fF)、また、プリチャージ間隔がノードCを約10 V上昇させるので、Q_{pc}は当初、約0.1ピコクーロンである。しかしこの電荷は、前のオートゼロ電圧の真のオートゼロ電圧に対する近似精度によって変化する割合で、オートゼロフェーズの前にノードCからリークする。従って、オートゼロ化のためにはどれ程の電荷量が必要かということ次第で、Q_{pc} ≤ 0.1ピコクーロンの30 関係はより精確に示されることになる。これは可変プリチャージ特徴である。直前のオートゼロ電圧が低すぎる場合、N3はプリチャージフェーズ後、非導通となり、Q_{pc}はその最大値に留まるはずであり、オートゼロフェーズ中、オートゼロ電圧をその要求レベルに向かって上昇させる。直前のオートゼロ電圧が高すぎる場合、N3は導通し、Q_{pc}はオートゼロフェーズが始まるまでにはリークし、オートゼロ電圧の急低下が可能になる。

【0059】トランジスタN1とN5の相対的タイミングは重要ではないが、好ましいタイミングを図8に示す。プリチャージに要する時間を最短にするため、2個のトランジスタN1とN5は同時にオンとされる。N1はN5より前にオフとされるが、これにより、ノードC 50

からのQ_{pc}の(意図的な)リークは、N1をオフにすることによって容量的に押し下げられたノードB電圧に対応する。これにより、ノードCからのQ_{pc}のリークは、画素にゼロデータが印加されたときに等しいノードB電圧に確実に対応する。

【0060】要するに、画素700は、画素300に比してより効果的なオートゼロ化を可能にする画素のプリチャージ手段を提供する。具体的には、画素700のオートゼロ化は、より正確、迅速、かつデータに対して独立性である。コンピュータシミュレーションによる確認では、画素700は、オートゼロ化が良好であり、10,000時間の作動寿命の全期間にわたってほぼ一定のOLED電流対データ電圧特性を維持することが出来る。

【0061】図9は、本発明の他の実施態様であるアクティブマトリックスLED画素構造900の略図である。画素構造900は、図7の画素構造700に類似しているが、追加のV_{precharge}ライン992を備え、LED供給電圧V_{dd}を上げずにオートゼロ電圧範囲を拡張することが出来る点が異なる。画素のこの追加修正は、画素の寿命と効率を改善する。

【0062】以上説明した画素(200、300、700)は、V_{dd}がプリチャージ電圧であるので、オートゼロ電圧がV_{dd}を超えることが出来ないという制限がある。しかし、トランジスタN2とN3の閾値電圧がトランジスタの寿命期間にわたってドリフトし、TFTドリフト電圧とOLEDターンオン電圧のドリフトを補正するため、オートゼロ電圧をV_{dd}より高くする必要が生じる点に到達する。オートゼロ電圧は、より高い電圧に到達することは出来ないので、ディスプレイの均一性は急速に劣化し、ディスプレイの有用寿命の終りを告げる。V_{dd}を高くすれば、より高いオートゼロ電圧を達成できるが、V_{dd}はOLED駆動電源でもあるので、パワー効率が犠牲になる。

【0063】更に、パワー効率の改善のため、V_{dd}を下げてトランジスタN2をライン形領域で作動させると、オートゼロ電圧の範囲は更に制限される。(もちろん、そのようにすると飽和状態で作動させた場合よりN2を大きくする必要がある。)この場合、短時間の作動の後、オートゼロ電圧はV_{dd}より高いレベルに到達する必要があるので、駆動寿命は極めて短くなる。

【0064】図9を参照すると、画素700に、オートゼロ電圧に対する制限をなくし、それによってV_{dd}を十分に上回ることを可能にするオプションの変更が組込まれている。画素900は、列ライン992が追加され、それがトランジスタ950のドレインに接続されている以外は、画素700と同じである。

【0065】列ライン992は、DC電圧V_{precharge}をすべての画素に運ぶため、アレイに追加されている。これらすべての列ラインは、ディスプレイの端で相互接

続されている。 $V_{precharge}$ を V_{dd} より高いレベルに上げることによって、画素900は、 $V_{precharge}$ より高い電圧にプリチャージを行ない、オートゼロ化することが出来る。の高い値は、ディスプレイ効率にほとんど影響を及ぼさない。

【0066】各 $V_{precharge}$ ライン992は、画素の隣接する列との共有が可能であることに注目すべきである。この $V_{precharge}$ ラインはまた、行ラインとして走らせ、隣接する行との共有が可能である。

【0067】要するに、オートゼロ電圧の範囲を V_{dd} を超えて拡張するため、追加の電圧ラインを備えたOLED画素を開示する。これによってOLED駆動トランジスタは、パワー効率上必要な低い電圧で、場合によってはライン形領域においてすら、オートゼロ電圧を制限することなく、作動することが出来る。従って、長い作動寿命と高効率が達成できる。この変更を画素700について説明したが、最終的には、このオプション変更は、上記画素200、300を含み、それらに限らない他のオートゼロ画素構造にも実施可能である。

【0068】上記各画素構造は、OLEDディスプレイ用として、画素におけるトランジスタ閾値電圧変動とOLEDターンオン電圧変動が補正されるように設計されているが、これら画素構造は、画素の外部で発生する不均一性に対処するようには設計されていない。この画素は、ディスプレイプレートの外部からでも、ディスプレイに一体化した状態でも、従来の列駆動回路に使用可能であることが指摘された。

【0069】残念ながら、一体型データドライバは、外付けドライバほど精度がよくないのが普通である。市販の外付けドライバでは $\pm 12\text{mV}$ の精度を達成できるが、一体型ドライバでは $\pm 50\text{mV}$ の精度を達成できないことが判明している。一体型ドライバに特有なタイプの誤差は、オフセット誤差、すなわち、すべてのデータ電圧に加えられる、データ非依存性のDCレベルである。このオフセット誤差は不均一、すなわちDCレベルの値はデータドライバごとに変動する。液晶ディスプレイはオフセット誤差を許容する傾向がある。その理由は、フレームが順次反対極性で駆動され、あるフレームでオフセット誤差が液晶をわずかに暗くし、次のフレームで明るくするが、平均的にはほぼ正確で、交互の誤差は目で認識できないからである。しかし、OLED画素は単一極性データによって駆動される。従って、オフセット誤差の二極消去は発生せず、一体型スキヤナを使用すると深刻な不均一性問題が発生する可能性がある。

【0070】図10は、列トランジスタ1020を介してデータドライバ1010に接続された本発明のアクティブマトリックスLED画素構造300の略図である。本発明は、OLEDディスプレイ用の一体型データスキヤナにおけるオフセット誤差の消去方法を説明する。すなわち、この方法は、画素がデータラインに容量的に接

続され、例えば上記の画素200、300、500および700のようなオートゼロフェーズを有する任意の画素とともに作動するように設計されている。

【0071】図10を参照すると、上記の画素300は、OLED要素の輝度を確定するため画素にアナログレベルを供給するデータラインに接続されている。図10において、データラインは、データライン上に電圧を設定するためのチョップト・ランプ技法(chopped ramp technique)を使用するデータドライバによって駆動される。このアプローチ(技法)には、データライン上にオフセット誤差を発生させる種々の誤差源が存在する。例えば、電圧比較器が切り替わる時間は、比較器の最大スルーレート(slew rate)次第で変動する可能性がある。また、最大スルーレートは大幅に変動することが、実験によって観察されている。オフセット誤差は、画素に保存されている電圧に影響を及ぼす。オフセット誤差はまた、不均一であるので、ディスプレイ全体にわたって輝度の変動をもたらす。

【0072】本発明においては、画素がそれ自体の内部閾値誤差を消去するためのオートゼロ化の期間を、データスキヤナのオフセット誤差のキャリブレーションにも使用する。種々のラインの波形を図11に示す。

【0073】すなわち、これは実際のデータ電圧を印加するのと同じ列ドライバを使用してデータライン上に基準ブラックレベルを設定することによって達成される。画素のオートゼロフェーズ中に印加されるこの基準ブラックレベルは、実際のデータ電圧が設定されるのと同じやり方でデータライン上に設定される。すなわち、データランプ(data ramp)は電圧比較器によって定められる時間においてチョップされる。従って、画素のコンデンサCを横切る電圧は画素のターンオン電圧と、ブラックレベルにオフセット誤差電圧をプラスした組合せによって定まる。基準ブラックレベルは、オートゼロフェーズの全期間、維持される。実際のデータが画素に印加されると、データスキヤナオフセット誤差は画素のコンデンサ上に保存された電圧によって消去される。

【0074】この技法は、チョップト・ランプを使用する一体型スキヤナのみならず、列上へ直接サンプリングを使用するスキヤナにも適用可能である。直接サンプリングの場合、誤差は、(大きな)列トランジスタがオフにされるとき、ゲート信号のデータラインへの不均一容量フィードスルーによって発生する。このトランジスタの閾値電圧変動は、チョップト・ランプ・データ・スキヤナによって生じる不均一オフセット誤差と全く同様に、不均一オフセット誤差を生じる。

【0075】従って、これは同様に補正できる。ブラック基準電圧は、画素のオートゼロフェーズ中、列に書き込まれる。一行のすべての画素が同時にオートゼロ化するので、このブラックレベルは、ラインタイム開始時にすべてのデータ列に同時に書き込まれる。ブラックレベ

ルはオートゼロフェーズの全期間中、維持される。チョップト・ランプ・スキヤナの場合のように、実際のデータが画素に印加されると、オフセット誤差は画素キャパシタに保存されている電圧によって消去される。しかし、オフセット誤差の補正に必要な時間オーバーヘッドは、チョップト・ランプ技法を使用するよりも、直接サンプリング技法を使用する方が少ないように思われる。

【0076】データドライバ誤差を補正するための本発明の方法は、別の方法よりも輝度の均一性のはるかに良好な有機LEDディスプレイの作成を可能にするはずである。ここに説明した方法と、上記いずれかのオートゼロ化画素を使用して、ディスプレイの全寿命にわたって均一性に目立った劣化のない、8ビットの輝度均一性が達成可能である。

【0077】上記開示では、ディスプレイの輝度の不均一性に対処するため使用することの出来る複数の画素構造を記述したが、代替のアプローチ（技法）として、外付け手段によって不均一性を補正することが出来る。より具体的には、下記の開示は、ディスプレイの輝度の不均一性に対処するための方法と外付けキャリブレーション回路を説明する。要するに、すべての画素について不均一性を測定し保存し、測定した不均一性を使用して、データ（例えばデータ電圧）のキャリブレーションを行なうことが出来る。

【0078】このように、以下の説明においては、図2の従来の画素構造を使用するが、本発明の外付けキャリブレーション回路と方法は、上記の画素300、500、700を含み、これらに限らない他の画素構造にも使用することが出来る。しかし、本発明の外付けキャリブレーション回路と方法によって不均一性に対処すれば、より簡単な画素構造をディスプレイに採用でき、それによってディスプレイの収率とフィルファクタ (fill-factor) を増加させることが出来る。

【0079】図12は、画素200のアレイ（集合）を相互接続して画素ブロック1200とした状態の略図である。図2を参照すると、動作の際、データは、アクティブマトリックスディスプレイで普通に行なわれる方法で、画素アレイに書き込まれる。すなわち、選択ラインを高く駆動することによって画素の一行が選ばれ、それによってアクセストランジスタN1がオンとなる。各データラインにデータ電圧を印加することによって、この行の各画素にデータが書き込まれる。ノードAにおける電圧が安定した後、選択ラインを低く駆動することによって、この行が選択から解除される。このデータ電圧は、次のフレームでこの行が選択されるまで、ノードAに保存される。N1がオフにされている間に、ノードAから多少の電荷リークの可能性があるので、不適当なレベルの電圧降下を防ぐため、ノードAに蓄電コンデンサが必要になるかも知れない。図中の破線は、電圧降下に対処するための、コンデンサの接続方法を示す。しか

し、そのような追加のコンデンサを不要にするほど十分なキャパシタンスがN2のゲートに関連して存在するかもしれない。

【0080】注目すべきことに、OLEDの輝度Lは、その電流Iにほぼ比例し、比例定数はディスプレイ全面にわたってかなり安定している。従って、良好に確定されたOLED電流を発生させれば、ディスプレイは視覚的に均一になる。

【0081】しかし、プログラムによって画素へ供給されるのは、OLED電流ではなくN2上のゲート電圧である。TFT閾値電圧と相互コンダクタンス (transconductance) は、OLEDの電気的パラメータが呈するように、ディスプレイ全体にわたる多少の初期不均一性を呈する可能性がある。更に、TFT閾値電圧は、OLEDターンオン電圧と同様に、バイアス温度ストレス条件下で増加することが周知である。従って、これらのパラメータは、当初不均一であり、各画素の個々のバイアス履歴に依存する状態で、画素の全寿命にわたって変化するものと期待される。これらパラメータを補正せずにN2のゲート電圧のプログラムを作成すると、ディスプレイは当初から不均一で、ディスプレイの全寿命にわたって不均一性が次第に増大する。

【0082】本発明は、TFTとOLEDの電気的パラメータが補正され、それによって良好に確定されたOLED電流が画素アレイ内に生じるような方法である。N2に印加されるデータ電圧を補正するための方法を以下に説明する。

【0083】図2と図12は、データラインに並列に配置されたVDD供給ラインを有する画素アレイを示す。

（好ましい実施態様において、VDDラインは選択ラインに並列に配線することが出来る。）このようにして、画素が2個またはそれ以上の隣接する列で各VDDラインを共有して、VDDラインの本数を減らすことが出来る。図12は、VDDラインがディスプレイの周囲で結束されてブロック化された状態を示す。各画素ブロック1200に含まれるVDDラインの数は、1本と少なくとも、ディスプレイ上のVDDラインの全数のように多くてもよい。しかし、好ましい実施態様において、各画素ブロック1200は、約24本のVDDライン、すなわち約48の画素列を含む。

【0084】図13は、ディスプレイ1310とディスプレイコントローラ1320との相互接続の略図である。ディスプレイ1310は複数の画素ブロック1200から成る。ディスプレイコントローラ1320は、VDDコントロールモジュール1350、測定モジュール1330、および種々のI/Oデバイス、例えばA/Dコンバータや、画素パラメータを保存するためのメモリから成る。

【0085】各画素ブロックは、図12、13に示すように、ディスプレイの端において検知ピン (VDD/S

10

20

30

40

50

ENSE) 1210に接続されている。通常のディスプレイ作動中、検知ピン1210は、例えば10ないし15ボルトの外部V_{dd}電源に切り替えられ、これによってOLEDエレメントを点灯するための電流をディスプレイに供給する。更に具体的には、各VDD/SENSEピン1210は、ディスプレイコントローラ1320において、一対のpチャンネルトランジスタP1(1352)とP2(1332)および電流検知回路1334に接続されている。通常の作動中、ディスプレイコントローラからのILLUMINATE信号がP1を作動させてVDD/SENSEピンをV_{dd}電源に接続する。典型的な実施態様において、P1を通る電流は約1mA/列と予想される。

【0086】TFTとOLEDのパラメータを補正するため、特別測定サイクル中、各画素のパラメータに関する情報を収集するため、MEASURE信号を介して外付け電流検知回路1334を作動させる。収集された情報は、通常のディスプレイ作動中、必要なOLED電流を実現するのに適したデータ電圧の計算および調整に使用される。

【0087】更に具体的には、特定の画素の測定サイクル中、画素ブロック内の他のすべての画素は、それらに低いデータ電圧(例えばゼロ以下)を印加することによって、オフにされ、それによって、「オフ」画素からの電流の引き出しを確実に無視できるようにする。次に、対象とする画素によって引き出された電流が、1個以上の印加データ電圧に応じて測定される。各測定サイクル中、データパターン(すなわち、あるブロック中で、1個の画素のみがオンで、その他すべての画素がオフ)が、通常の方法で画素に印加され、データドライバ回路によってデータがDATAラインに印加され、行が一つずつ選択される。このようにして、ディスプレイが複数の画素ブロックに区画されるので、各画素ブロック内の少なくとも1個の画素をオンにすることによって、複数の画素を測定することが出来る。

【0088】各画素ブロック内の対象画素によって引き出された電流は、ILLUMINATEラインとMEASUREラインを、VDD/SENSEピン1210をVDD電源から切り離すとともに検知ピンをP2経由で電流検知回路1334のインプットに接続するレベルに駆動することによって外部からP2において測定される。画素電流は1ないし10 μ Aと予想される。電流検知回路1334は図13に相互インピーダンス増幅器として示してあるが、電流検知回路を他の形態で実施することも出来る。本発明においては、増幅器は入力端における電流に比例した電圧を出力端に発生する。この測定された情報は、I/Oデバイス1340によって収集され、そこでこの情報はデジタル形式に変換され、データ電圧のキャリブレーション用に保存される。電流検知回路1334内の抵抗器は約1メガオームである。

【0089】複数の電流検知回路1334が画素ブロックと一対一の対応で示してあるが、マルチプレックス(multi-plexer、不図示)を使用すれば、電流検知回路の数を減らすことが出来る。すなわち、複数のVDD/SENSEピンを単一の電流検知回路1334に多重化することが出来る。極端な場合、単一の電流検知回路を全ディスプレイ用に使用することが出来る。VDD/SENSEピンをこのように検知回路に多重化すると、外付け回路の複雑さは低減できるが、ディスプレイ測定時間は長くなる。

【0090】画素測定サイクルを行なうためには、通常のディスプレイ作動を中断しなければならないので、画素測定は、見る人を出来るだけ邪魔しないようにタイミングを図らねばならない。画素パラメータは徐々に変化するので、特定の画素を頻繁に測定する必要はなく、測定サイクルは長期間にわたって分散することが出来る。

【0091】すべての画素を同時に測定する必要はないが、可変測定ラグ(遅延)に基づく不均一性を避けるためには、同時測定が有利である。これは、ディスプレイモジュールが「オン」または「オフ」される時、すべての画素を迅速に測定することによって達成可能である。ディスプレイモジュールが「オフ」のとき画素を測定すれば、通常の作動の邪魔にはならないが、長い「オフ」期間後、保存された画素パラメータはもはや均一性を保証しないかも知れないという欠点がある。しかし、中断しない電源が利用可能であれば(例えばスクリーンセ이버モードにおいて)、ディスプレイが(ユーザーの観点から)「オフ」である間に測定サイクルを周期的に行なうことが出来る。もちろん、ディスプレイモジュールが「オン」のときすべての画素の迅速測定を含まない任意のオプションでは、パワーが「オフ」のとき測定情報を保存するための不揮発性メモリーが利用可能であることが必要である。

【0092】もしも画素測定情報が利用可能であれば、ディスプレイの不均一性の種々の原因を補正するため、データ電圧の補正またはキャリブレーションをディスプレイに適用することが出来る。例えば、トランジスタの閾値電圧変動とOLEDターンオン電圧変動に対処するため、データ電圧の補正を行なうことが出来る。従って、上記およびその他のディスプレイ不均一性を補正することの出来る複数の方法を以下に説明する。これらの方法を使用すれば、ディスプレイに数個の、そのうちのいくつかは大きな不均一性の原因があっても、均一な高画質ディスプレイを提供することが出来る。

【0093】この補正方法を説明するため、ディスプレイには図2の画素構造を使用するものと仮定する。しかし、この補正方法は、他の任意の画素構造を使用したディスプレイにも適用できる。

【0094】図2を参照すると、ノードAに保存された電圧はN2のゲート電圧であり、従ってN2とLEDと

を通る電流を確定する。N2上の電圧を変化させることによって、LED電流を変化させることが出来る。N2上のゲート電圧とLEDを通る電流との関係を考慮する。ゲート電圧 V_g は、以下の式(2)の様に、N2のゲート対ソース電圧 V_{gs} と、LEDを横切る電圧 V_{diode} の二つに分割することが出来る。

【0095】

【数2】

$$V_g = V_{gs} + V_{diode} \quad (2)$$

【0096】飽和状態のMOSトランジスタのドレイン電流は以下の式(3)で表される。

【0097】

【数3】

$$I = \frac{2}{k} (V_{gs} - V_t)^2 \quad (3)$$

【0098】ここで、 k はデバイスの相互コンダクタンスパラメータ、 V_t は閾値電圧である(ライン形領域における作動は下記参照)。従って、以下の式(4)が得られる。

【0099】

【数4】

$$V_g = V_t + \sqrt{\frac{2I}{k}} + \sqrt{\frac{mI}{A}} \quad (7)$$

【0106】OLEDのI-V特性を表すため、他の関数形式を使用することも出来るが、上記の式によれば、ゲート電流とダイオード電流との間の異なる関数関係をもたらしことに注目すべきである。しかし、本発明は、上記のOLEDのI-V特性の詳細な関数形に限定されず、従って、任意のダイオード的特性に関して作動するように適応させることが出来る。

【0107】OLEDの輝度 L は、その電流 I にほぼ比例し、比例定数は、ディスプレイ全面にわたって安定かつ均一である。良好に確定されたOLED電流を発生させることが出来れば、ディスプレイは視覚的に均一となる。しかし、以上説明したように、画素は電流 I ではなく、電圧 V_g を使用してプログラムされている。問題は、OLEDのパラメータ A と m の他に、TFTのパラメータ V_t と k がディスプレイ全面にわたって、ある程度の初期不均一性を呈するという点である。更に、 V_t がバイアス温度ストレス条件下で増加することは周知である。OLEDパラメータ A は、OLEDのターンオン電圧に直接関連し、バイアスストレス下で減少することが知られている。OLEDパラメータ m は、オーガニック・バンド・ギャップ内のトラップの分布に関連があり、OLEDの全寿命にわたって変化する。従って、これらのパラメータは初期に不均一であり、各画素の個々

*

$$V_{gs} = \sqrt{\frac{2I}{k}} + V_t \quad (4)$$

【0100】OLEDを通る前向き電流は以下の式(5)で表される。

【0101】

【数5】

$$I = AV_{diode}^m \quad (5)$$

【0102】ここで、 A と m は定数である(Burrows 他 の J. Appl. Phys. 79(1996)参照)。従って、以下の式(6)が得られる。

【0103】

【数6】

$$V_{diode} = \sqrt[m]{\frac{I}{A}} \quad (6)$$

【0104】従って、ゲート電流とダイオード電流との全体的関係は、以下の式(7)で表される。

【0105】

【数7】

のバイアス履歴に依存してディスプレイの全寿命にわたって変化するものと予想される。これらのパラメータの変動を補正せずにゲート電圧をプログラムすると、ディスプレイは初期に不均一で、その全寿命にわたって不均一性が増大する。

【0108】実際に、不均一性の原因は他にもある。ゲート電圧 V_g は、意図したデータ電圧 V_{data} に必ずしも等しくない。むしろ、データドライバにおけるゲイン誤差とオフセット誤差、およびN1の選択解除から発生する(データ依存性の)フィードスルーが、これら二つの電圧に差異を生じさせる。これらの誤差原因も、不均一であり、かつ、ディスプレイの全寿命にわたって変動する。上記およびその他のゲイン誤差とオフセット誤差を、以下の式(8)で表す。

【0109】

【数8】

$$V_g = BV_{data} + V_0 \quad (8)$$

【0110】ここで、 B と V_0 はそれぞれゲイン係数とオフセット電圧であり、ともに不均一であり得る。式(7)と(8)を組み合わせて整理すると以下の式(9)が得られる。

【0111】

【数9】

$$V_{data} = V_{off} + C\sqrt{I} + D^m\sqrt{I} \quad (9)$$

【0112】ここで、 V_{off} 、 C 、 D は前出のパラメータの組合せである。

【0113】本発明は、 V_{off} 、 C 、 D 、および m の変動を補正するため、意図する（入力）データ電圧を補正する種々の補正方法を提供し、それによって画素アレイ内における良好に確定されたOLED電流の発生を可能にする。パラメータ V_{off} 、 C 、 D 、および m の変動を補正するため、上記の外付け電流検知回路が、各画素に関する情報、すなわち単一の画素によって引き出された電流を外部から測定することが出来る。パラメータ V_{off} 、 C 、 D 、および m に関して測定された情報を使用して、本発明は、通常のディスプレイ作動中、必要なOLED電流を確定するため、式（9）に従って適切なデータ電圧 V_{data} を計算する。

【0114】また、電流の測定値から4個のパラメータ V_{off} 、 C 、 D 、および m を正確に計算することは、コンピュータでは高価になり、複雑な繰り返し計算が必要になる。しかし、効果的な補正を維持しつつ計算の複雑さを低減する良好な近似を使用することが出来る。

【0115】好ましい実施態様において、上記のように4個ではなく、わずか2個のパラメータを使用して画素の不均一特性を表すことが出来る。式（9）の画素の電*

*流電圧特性を参照すると、通常の点灯レベルにおいて、 $N2$ の V_{gs} に関する $C\sqrt{I}$ 項と、 V_{diode} に関する $D^m\sqrt{I}$ 項とは、ほぼ同じ大きさである。しかし、それらの画素電流への依存性は大きく異なる。 m の値は約10であるので、普通の点灯レベルにおいては、 $D^m\sqrt{I}$ は $C\sqrt{I}$ に比してはるかに弱い I の関数である。例えば、 I を100倍に増加させると、 $C\sqrt{I}$ は10倍になるが、 $D^m\sqrt{I}$ は（ m を10と仮定すると）1.58倍にしかない。すなわち、普通の点灯電流レベルにおいては、OLEDの $I-V$ 曲線はTFTの $I-V_{gs}$ 曲線よりはるかに急勾配となる。

【0116】従って、普通の電流レベルにおいて、 $D^m\sqrt{I}$ は電流に対して独立であり、その画素ごとの変動は単に一つのオフセット誤差として処理可能であるという近似が行なわれる。この近似は多少の誤差を持ち込むが、ディスプレイ全体の外観は大幅には劣化しない。従って、かなりの精度で、すべてのディスプレイの不均一性を、オフセットとゲインの変動として処理することが出来る。従って、（9）式は以下の式（10）の様に近似することが出来る。

【0117】

【数10】

$$V_{data} = V_{offset} + C\sqrt{I} \quad (10)$$

【0118】ここで、 $V_{offset} = V_{off} + D^m\sqrt{I}$ は $D^m\sqrt{I}$ を含み、 V_{offset} と C は画素ごとに変動する。

【0119】図14は、全画素のパラメータの測定によってディスプレイを初期化する方法1400のフローチャートである。方法1400は、ステップ1405から始まり、ステップ1410に進み、そこで、画素ブロック内の対象とする画素以外のすべての画素に、「オフ」データ電圧を印加する。

【0120】ステップ1420において、対象とする特定の画素の V_{offset} と C を求めるため、方法1400は二つのデータ電圧（ $V1$ と $V2$ ）を印加し、各データ電圧について電流を測定する。

【0121】ステップ1430において、電流 $I1$ と $I2$ の平方根が計算される。好ましい実施態様において、この計算のために平方根表が使用される。

【0122】ステップ1440において、 V_{offset} と C とが求められる。すなわち、二つの変数を求めるのに二つの式を使用することが出来る。次に、特定の対象画素の求められた V_{offset} と C を記憶装置、例えばメモリーに保存する。全部の画素の測定が終ると、メモリーはアレイ内の各画素について二つのパラメータ V_{offset} と C とを保存している。これらの値は、後に式（10）を使

用して V_{data} のキャリブレーションまたは調整に使用することが出来る。方法1400は次にステップ1455において終了する。

【0123】測定される画素を通る電流は、 $D^m\sqrt{I}$ が二つの測定点においてほぼ等しくなるように、十分に高くなければならないことに注目すべきである。この条件は、一方の測定を、システムが発生可能な最高データ電圧において行ない、次に他方の測定をわずかに低いデータ電圧において行なうことによって満足させ得ることが望ましい。

【0124】ディスプレイの初期化が行なわれると、ディスプレイモジュールに供給された生の入力ビデオデータを修正することが出来る。入力ビデオデータは、例えば（1）画素電圧、（2）ガンマ補正された画素輝度、または（3）画素電流といった種々のフォーマットで存在することが出来ることに注目すべきである。従って、入力ビデオデータのキャリブレーションまたは補正を行なうための、保存されたパラメータ V_{offset} と C の使用は、各特定のフォーマットに依存する。

【0125】図15は、画素電圧を表す入力ビデオデータの修正方法1500のフローチャートである。方法1500は、ステップ1505から始まり、ステップ1510へ進み、そこで対象画素に関して保存されたパラメ

ータ、例えば V_{offset} と C が取出される。

【0126】ステップ1520において、方法1500は、入力ビデオデータのキャリブレーションを行なうため、取出したパラメータを印加する。より具体的には、入力ビデオデータにはバイアスがかかっていない、すなわち、ゼロボルトはゼロ輝度を表し、ゼロより大きいデータはゼロより大きい輝度レベルを表すものと期待される。従って、電圧は $C_0\sqrt{I}$ に等しいと見なすことが出来る。ここで、 I は必要電流、 C_0 は定数、例えば典型的な値は $103\text{ V}/\sqrt{\text{A}}$ である。入力ビデオデータがディスプレイモジュールに入る際の画素変動を補正するため、各画素について $V_{offset} = V_{off} + C\sqrt{I}$ を、保存された V_{offset} と C に基づいて計算する。この計算は、ビデオデータに C/C_0 を掛けることと、その結果に V_{offset} を加えることから成る。 C_0 による除法は、ビデオデータ V_{data} が既に一定の係数 $1/C_0$ によって縮小されていれば不要である。 C による乗法は、デジタルロジックで直接、またはルックアップテーブルを使用して行なうことが出来る。例えば、後者の場合、 C の各値は、ビデオデータの値がインデックスであるとともにテーブルエントリが乗法の結果であるテーブルを指定する。(あるいは、ルックアップテーブル内の入力ビデオデータと C の役割を逆にすることも出来る。)乗法が行なわれた後、デジタルロジックにより V_{offset} の急速加算が行なわれる。

【0127】ステップ1530において、得られた電圧 V_{data} 、すなわち修正または調整された入力データは、画素アレイのデータドライバに送られる。方法1500は次にステップ1535で終了する。

【0128】ガンマ補正された輝度データの場合、入力ビデオデータは、 $L^{0.45}$ に比例する。ここで、 L は輝度である。これは、CRT輝度-電圧特性に関して予め補正されたビデオデータでは典型的である。 $L^{0.45}=\sqrt{L}$ であり、また、OLED輝度はその電流に比例するので、データは \sqrt{I} に比例するものとして処理することが出来る。従って、計算は先に説明したゼロオフセット電圧に関する方法と同様な方法で行なうことが出来る。

【0129】図16は、画素電流、すなわち輝度を表す入力ビデオデータの補正方法1600のフローチャートである。方法1600は、ステップ1605から始まり、ステップ1610に進み、そこで測定された電流の平方根の値が求められる。すなわち、方法1600は、 I を表すビデオデータが \sqrt{I} を発生するように処理されねばならないこと以外は、上記の方法1500と同じである。上記のように、この演算は、図14に示すように、画素電流測定値から画素パラメータ V_{offset} と C を求めるのに必要な平方根の値を与える表を使用して行なうことが出来る。ここで再びこの表を使用してビデオデータから \sqrt{I} を発生させる。

【0130】次にデータ補正ステップ1610ないし1

645は、ステップ1630において入力データに C を掛け、次に V_{offset} を加えて補正されたデータ電圧を求めること以外は、上記の方法1500と同一である。

【0131】あるいは、別の実施態様において、上記のように2個または4個のパラメータではなく、1個のみのパラメータを使用して画素の不均一特性を表すことが出来る。すなわち、単一のパラメータを使用して画素の不均一特性を表すようにして更に単純化を行なう。

【0132】更に具体的には、多くの場合、画素ごとのゲイン係数 C の変動は小さく、 V_{offset} のみが不均一性の有意の原因として残る。これは、TFT相互コンダクタンスパラメータ k と電圧ゲイン係数 B が均一るとき発生する。この場合、各画素の V_{offset} のみを求めれば十分である。そうすると、データ補正は乗法を行なわず(ゲイン係数が均一であると見なされるので)、オフセットパラメータの加算のみを行なう。

【0133】この単一パラメータ手法は、上記のオートゼロ化OLED画素構造に類似である。この単一パラメータ補正方法は、コンピュータ費用を低減するとともに、満足すべきディスプレイ均一性を生み出すはずである。しかし、ディスプレイの均一性保持が非常に重要な特定のディスプレイの使用に於ては、コンピュータの複雑さと費用が増しても、上記の2個または4個パラメータ方法を使用することが出来る。

【0134】ここでも、単一パラメータ抽出とデータ補正に関して、ディスプレイ初期化プロセスはデータのフォーマット(形式)に左右される。単一パラメータ手法は、ビデオデータが、(1)画素電圧、(2)画素電流、および(3)ガンマ補正された画素輝度、を表す場合に、ディスプレイの初期化とビデオデータの補正に使用することが出来る。

【0135】図17は、全画素のパラメータの測定によるディスプレイの初期化方法のフローチャートを示す。方法1700は、ステップ1705から始まってステップ1710へ進み、そこで、画素ブロック内の対象画素以外のすべての画素に「オフ」データ電圧が印加される。ステップ1720において、対象とする特定の画素に関する V_{offset} と C を求めるため、方法1700は、2個のデータ電圧(V_1 と V_2)を印加し、各データ電圧ごとに電流を測定する。

【0136】ステップ1730において、電流 I_1 と I_2 の平方根を計算する。好ましい実施態様において、この計算に平方根表を使用する。

【0137】 C の値は均一であると考えられるので、それは理想的には、ディスプレイ内の任意の場所で2点測定を行なうことによって、求め得ることに注目すべきである。しかしこれは、対象画素が異常であるかも知れないので、問題を有するかもしれない。従って、2点測定は、各画素ごとに行なわれる。

【0138】ステップ1740において、 C の平均値が

求められる。すなわち、各電流測定値に関する \sqrt{I} を計算するための表を使用して、ディスプレイのCの平均値が計算できる。

【0139】ステップ1750において、各画素の電流測定値から平均値Cを使用して、各画素の V_{offset} が求められる。このようにして、ディスプレイ全体にわたるCの小変動が V_{offset} の計算によって部分的に補正される。上記理由により、各画素の電流の測定は、可能な最高データ電圧において測定することが望ましい。

【0140】最後にステップ1760において、各画素の V_{offset} が記憶装置、例えばメモリーに保存される。次に、方法1700はステップ1765において終了する。

【0141】図18は、画素電圧を表す入力ビデオデータの補正方法1800のフローチャートである。方法1800は、ステップ1805から始まり、ステップ1810へ進み、そこで、対象画素に関して保存されているパラメータ V_{offset} を取り出す。

【0142】ステップ1820において、方法1800は、取出したパラメータ V_{offset} を使用して入力ビデオデータのキャリブレーションを行なう。より具体的には、保存された V_{offset} の値に基づいて、各画素に関する $V_{data} = V_{offset} + V_{data}$ の値を計算する。

【0143】ステップ1830において、得られた V_{data} 、すなわち補正された、または調整された入力データは画素アレイのデータドライバへ送られる。方法1800は次に、ステップ1835において終了する。

【0144】図19は、ビデオデータが画素電流を表す状況に関する全画素のパラメータの測定によるディスプレイの初期化方法1900のフローチャートである。方法1900は上記方法1700に酷似している。上記方法1700との相違は、方法1900が追加のステップ1950を取り入れて計算されたCの平均値を使用して、ゼロ・オフセットデータ電圧対画素電流の表を作成する場合である。この点から先の初期化とデータ補正プロセスにおいては、この表を使用することにより、平方根演算を行わない。この表は、平方根関数より高い精度で、画素の電流-電圧特性を表すものと期待される。この表は次に、後で使用するため、記憶装置、例えばメモリーに保存される。次に、個々の画素電流測定値を、この表に入れるためのインデックスとして使用して、個々の画素オフセット V_{offset} を求める。

【0145】図20は、画素電流、すなわち輝度を表す入力ビデオデータの補正方法2000のフローチャート*

$$V_{data} = V_{off} + C(I)I + D\sqrt[3]{I} \quad (11)$$

【0152】ここで、 $C(I)$ はIの弱い関数である。ここでも、上記のように、オフセット項とゲイン係数のみを求めればよい程度に、電流が十分に高ければ、 $D\sqrt[3]{I}$ 項を V_{off} 項に含めることが出来る。しかし、オフ

＊である。方法2000は、ステップ2005から始まり、ステップ2010へ進み、そこで現在対象とする画素の V_{offset} を記憶装置から取出す。

【0146】ステップ2020において、ゼロ・オフセットデータ電圧対画素電流の表を使用して入力ビデオデータ電流からゼロ・オフセットデータ電圧を求める。ステップ2030において、このゼロ・オフセットデータ電圧を、取出された V_{offset} に加える。最後に、ステップ2040において、補正または調整された入力ビデオデータを画素アレイのデータドライバへ送る。

【0147】要するに、ビデオデータがディスプレイモジュールに導入されると、各電流に対応するゼロ・オフセットデータ電圧がV-I表内で検索される。次に、保存されている画素オフセットをゼロ・オフセット電圧に加算し、その結果がデータドライバへの入力となる。方法2000は次にステップ2045において終了する。

【0148】図21は、ビデオデータがガンマ補正された輝度データを表す状況に関する全画素のパラメータの測定によるディスプレイの初期化方法2100のフローチャートである。方法2100は、上記方法1900に酷似している。方法2100と上記方法1900との相違は、ステップ2150において、計算されたCの平均値を使用してゼロ・オフセットデータ電圧対画素電流の平方根の表を作成するときである。すなわち、ビデオデータは、 \sqrt{I} を表すものとして近似させることが出来る。従って、Cの平均値を使用して V_{data} 対 \sqrt{I} のゼロ・オフセット表を作成し、この表をメモリーなどの記憶装置に保存する。

【0149】図22は、ガンマ補正された輝度データを表す入力ビデオデータの補正方法2200のフローチャートである。方法2200は、上記方法2000に酷似している。上記方法2000との相違は、 V_{data} 対 \sqrt{I} のゼロ・オフセット表において発生する。従って、要するに、入ってくるビデオデータを使用してゼロ・オフセットデータ電圧を探し、保存された画素オフセットをこれらの電圧に加える。

【0150】上記説明において、OLED駆動トランジスタN2が飽和状態で作動するものと見なしている。N2がライン形領域で作動するならば、類似的補正方法を使用することが出来る。その場合、画素の電流電圧特性は以下の式(11)で表される。

【0151】

【数11】

セット電圧のみを不均一と見なす単一パラメータ近似は、ゲイン係数 $C(I)$ が不均一なOLEDパラメータAとmを含むので、上記の飽和の場合に関する単一パラメータ近似ほど精度がよいとは予想されない。従って、

N2がライン形領域で作動するならば、2個パラメータ補正方法の方が単一パラメータ補正方法よりもはるかに性能がよいと思われる。

【0153】図23は、本発明の複数のアクティブマトリックスLED画素構造300、500、または700を備えたディスプレイ2320を使用したシステム2300のブロックダイアグラムである。システム2300は、ディスプレイコントローラ2310とディスプレイ2320とから成る。

【0154】更に具体的には、ディスプレイコントローラは、中央処理装置CPU(2312)、メモリ2314、および複数のI/O装置(例えばマウス、キーボード、磁気装置や光装置などの記憶装置、モデム、A/Dコンバータ、上記の測定モジュール1330などの各種モジュール)を有する汎用コンピュータとすることが出来る。ディスプレイ2320を作動させるためのソフトウェア命令(例えば上記種々の方法)は、例えば記憶媒体からメモリ2314へロードし、CPU2312によって実行することが出来る。従って、本発明のソフトウェア命令は、コンピュータで読むことの出来る媒体に保存することが出来る。

【0155】ディスプレイ2320は、画素インターフェイス2322と、複数の画素(画素構造300、500、または700)とから成る。画素インターフェイス2322は画素300、500、または700の駆動に必要な回路を含む。例えば、画素インターフェイス2322は、図1に示したようなマトリックス・アドレッシング・インターフェイスとすることが出来、また、オプションとして追加の上記の信号ライン/制御ラインを含むことが出来る。

【0156】従って、システム2300は、ラップトップコンピュータとして実施することが出来る。あるいは、ディスプレイコントローラ2310は、マイクロコントローラとして、または特定用途の集積回路(ASIC)として、またはハードウェアとソフトウェア命令との組合せとして、実施することが出来る。要するに、システム2300は、本発明を組込んだ大きなシステム内において実施することが出来る。

【0157】本発明を、NMOSトランジスタを使用するものとして説明したが、本発明は、関連電圧が逆転したPMOSトランジスタを使用しても実現可能である。

【0158】以上、本発明の種々の実施態様を本明細書に示しかつ詳細に説明したが、本発明の要旨を超えない限りにおいて多くの態様を取り得ることが出来る。

【0159】

【発明の効果】本発明のディスプレイは輝度の均一性が大幅に改善されており、その工業的価値は高い。

【図面の簡単な説明】

【図1】マトリックスアドレッシングインターフェイスのブロック図

【図2】従来技術のアクティブマトリックスLED画素構造の略図

【図3】本発明のアクティブマトリックスLED画素構造の略図

【図4】図3のアクティブマトリックスLED画素構造のためのタイミング図

【図5】本発明の代替実施態様のアクティブマトリックスLED画素構造の略図

【図6】図5のアクティブマトリックスLED画素構造のためのタイミング図

【図7】本発明の代替実施態様のアクティブマトリックスLED画素構造の略図

【図8】図7のアクティブマトリックスLED画素構造のためのタイミング図

【図9】本発明の代替実施態様のアクティブマトリックスLED画素構造の略図

【図10】本発明の代替実施態様のアクティブマトリックスLED画素構造の略図

【図11】図10のアクティブマトリックスLED画素構造のためのタイミング図

【図12】画素アレイを相互接続して画素ブロックとした略図

【図13】ディスプレイとディスプレイコントローラとの相互接続の略図

【図14】全画素のパラメータの測定によってディスプレイを初期化する方法のフローチャート

【図15】画素電圧を表す入力データの補正方法のフローチャート

【図16】画素電流すなわち輝度を表す入力ビデオデータの補正方法のフローチャート

【図17】ビデオデータが画素電圧を表す場合、全画素のパラメータの測定によってディスプレイを初期化する方法のフローチャート

【図18】画素電圧を表す入力ビデオデータの補正方法のフローチャート

【図19】ビデオデータが画素電流を表す場合、全画素のパラメータの測定によってディスプレイを初期化する方法のフローチャート

【図20】画素電流すなわち輝度を表す入力ビデオデータの補正方法のフローチャート

【図21】ビデオデータがガンマ補正された輝度データを表す場合、全画素のパラメータの測定によってディスプレイを初期化する方法のフローチャート

【図22】ガンマ補正された輝度データで表された入力ビデオデータの補正方法のフローチャート

【図23】本発明による複数のアクティブマトリックスLED画素構造を有するディスプレイを使用したシステムのブロック図

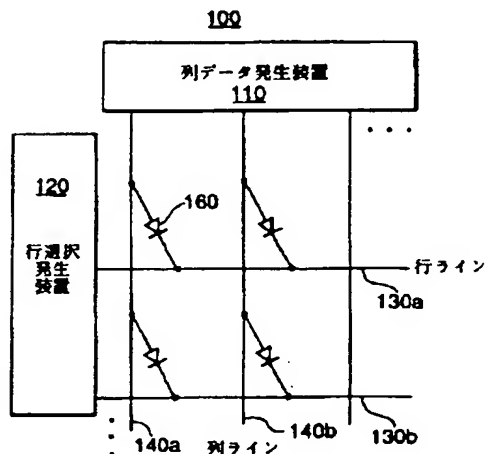
【符号の説明】

100:ディスプレイ

31

110: 列データ発生装置
 120: 行データ発生装置
 130: 行ライン
 160: 表示要素 (画素)
 200: 従来技術のアクティブマトリックスLED画素構造
 300: 本発明の画素構造
 302: コンデンサ
 304: LED (OLED) (光要素)
 310: 第1トランジスタ
 320: 第2トランジスタ
 330: 第3トランジスタ
 340: 第4トランジスタ
 350: 第5トランジスタ
 360: データライン
 370: 選択ライン
 380: オートゼロライン
 382: 前の行からのオートゼロライン
 390: VDDライン
 500: 本発明の好ましい画素構造
 510: 第1トランジスタ
 520: 第2トランジスタ
 530: 第3トランジスタ
 502: コンデンサ
 540: ショットキダイオード
 550: LED (OLED) (光要素)
 570: 選択ライン
 560: データライン
 580: オートゼロライン
 590: 点灯ライン
 700: 本発明の好ましい画素構造
 702: コンデンサ
 704: LED (OLED) (光要素)

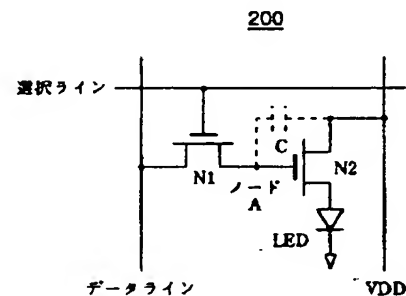
【図1】



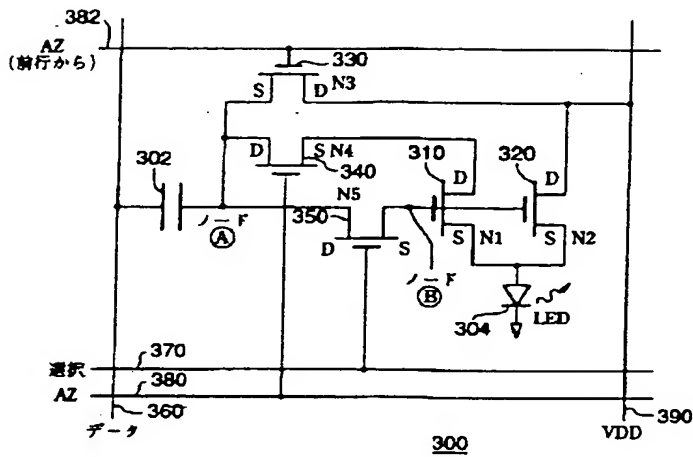
32

710: 第1トランジスタ
 720: 第2トランジスタ
 730: 第3トランジスタ
 740: 第4トランジスタ
 750: 第5トランジスタ
 760: データライン
 770: 選択ライン
 780: オートゼロライン
 782: 前の行からのオートゼロライン
 790: VDDライン
 900: 本発明の好ましい画素構造
 992: $V_{precharge}$
 950: 第5トランジスタ
 1000: 本発明の画素構造
 1010: データドライバ
 1020: 列トランジスタ
 1200: 画素ブロック
 1210: 検知ピン (VDD/SENSE)
 1310: ディスプレイ
 1320: ディスプレイコントローラ
 1330: 測定モジュール
 1332: トランジスタP2
 1334: 電流検知回路
 1350: VDDコントロールモジュール
 1352: トランジスタP1
 2300: システム
 2310: ディスプレイコントローラ
 2312: 中央処理装置CPU
 2314: メモリー
 2316: I/O装置
 2320: ディスプレイ
 2322: 画素インターフェイス

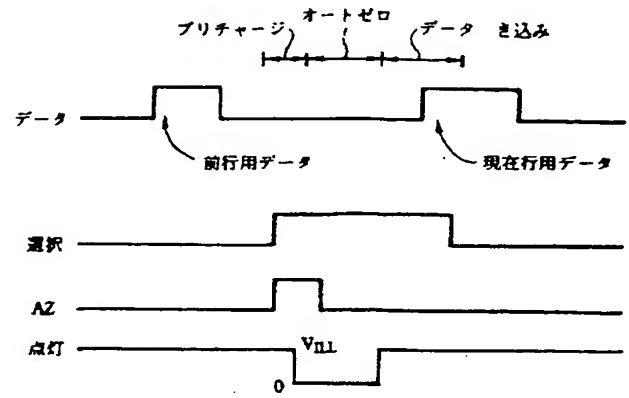
【図2】



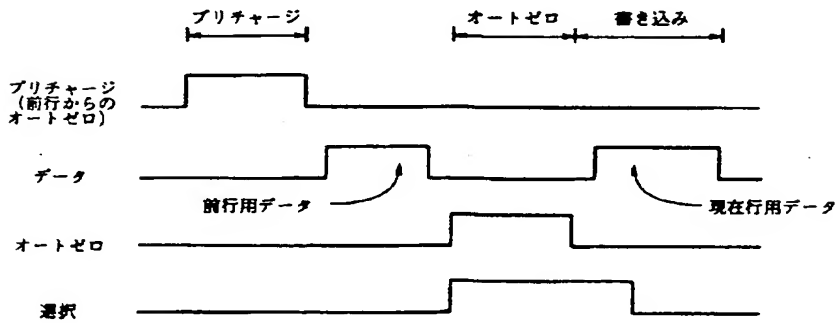
【図3】



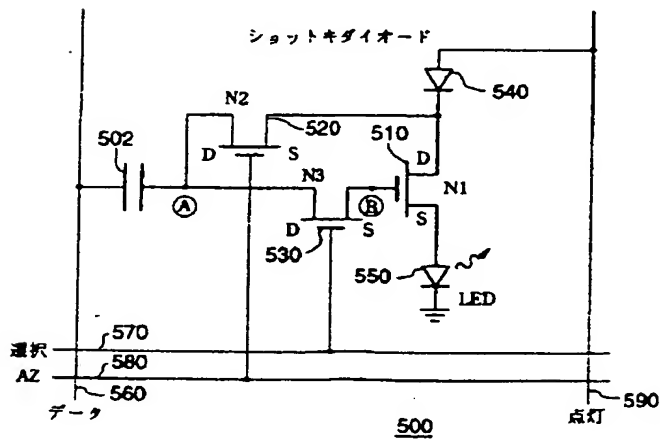
【図6】



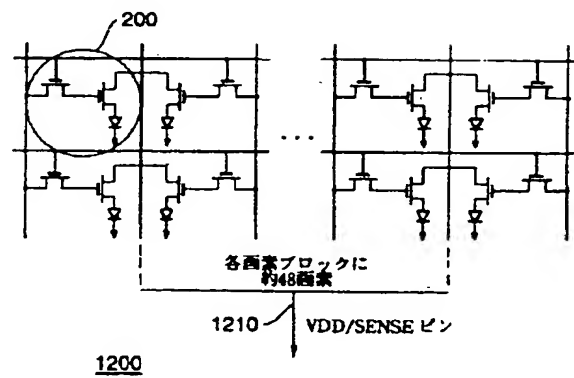
【図4】



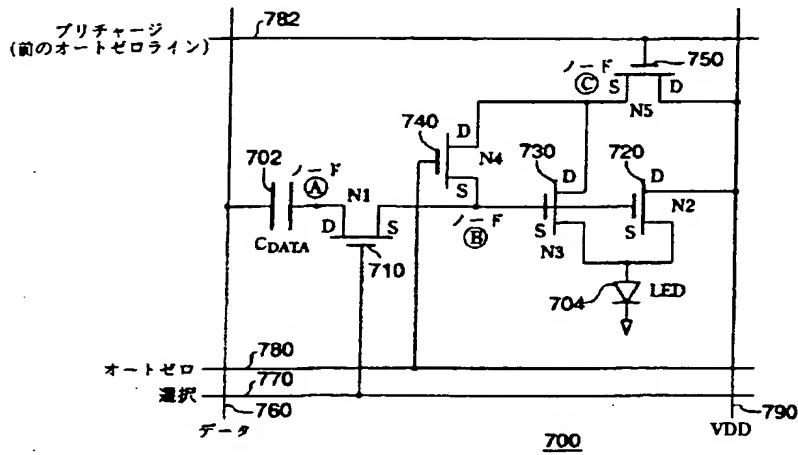
【図5】



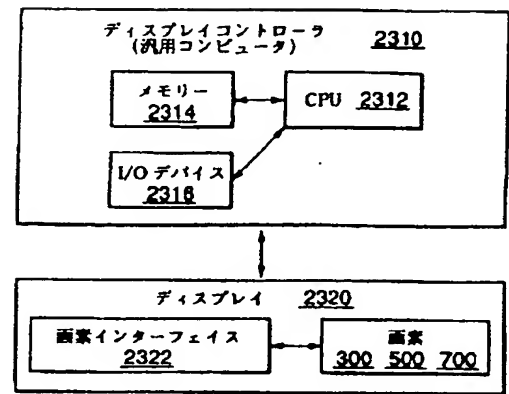
【図12】



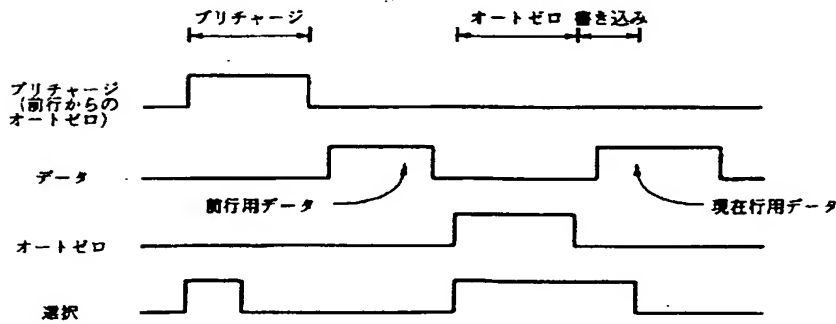
【図 7】



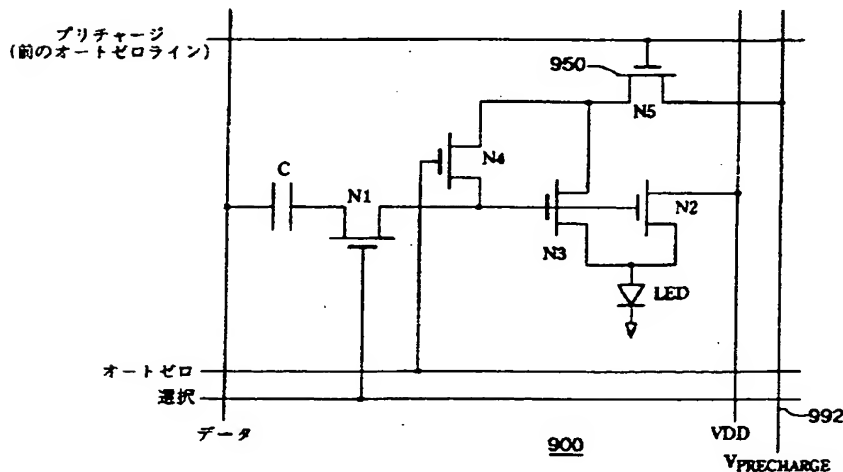
【図 23】



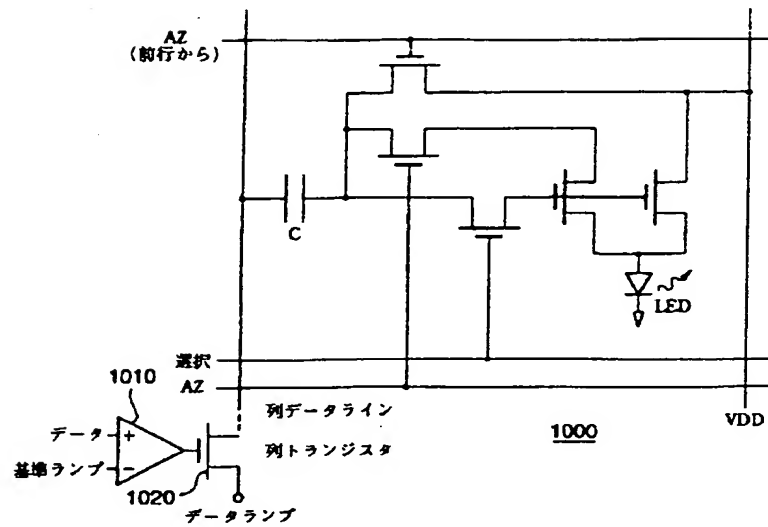
【図 8】



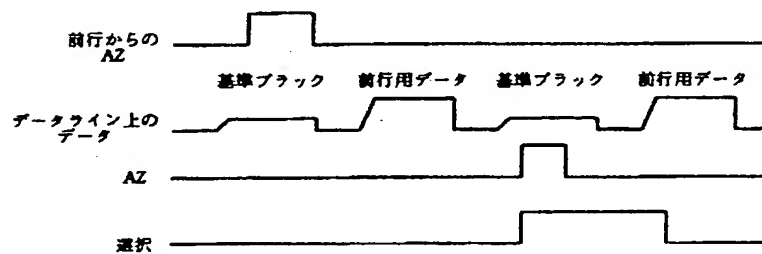
【図 9】



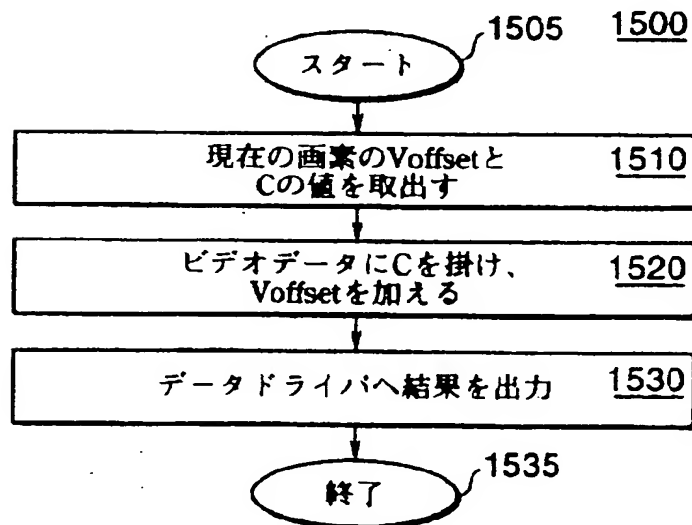
【図10】



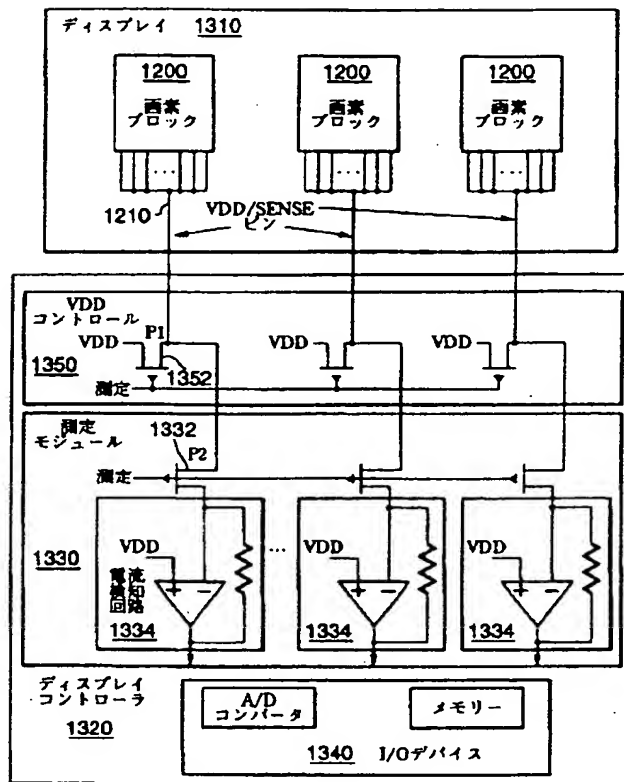
【図11】



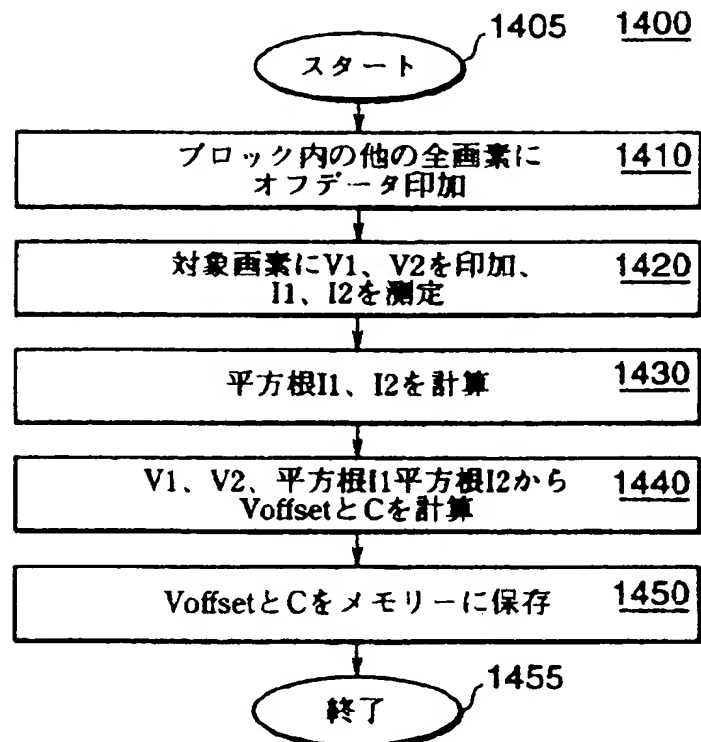
【図15】



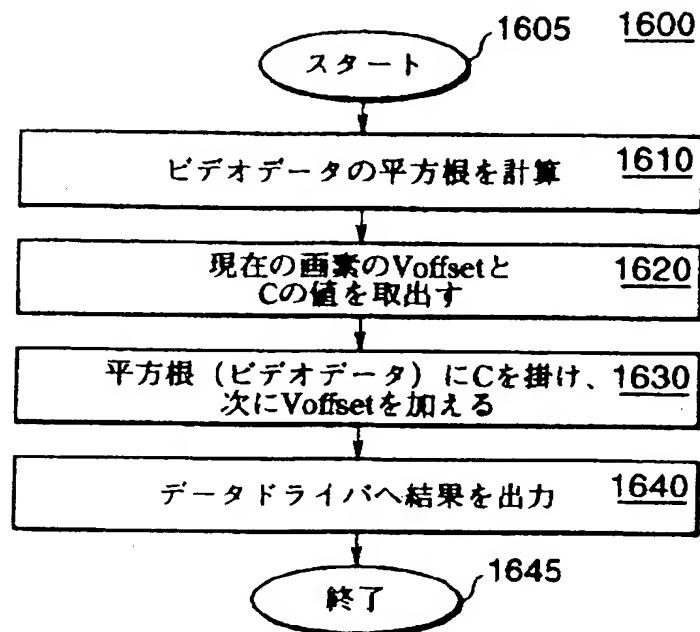
【図13】



【図14】



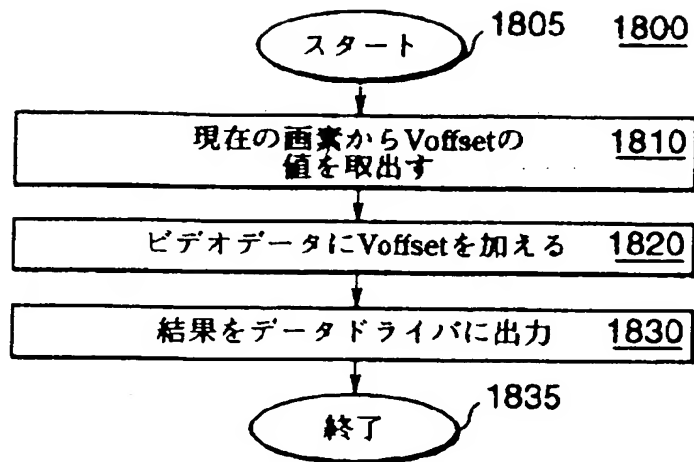
【図16】



【図17】



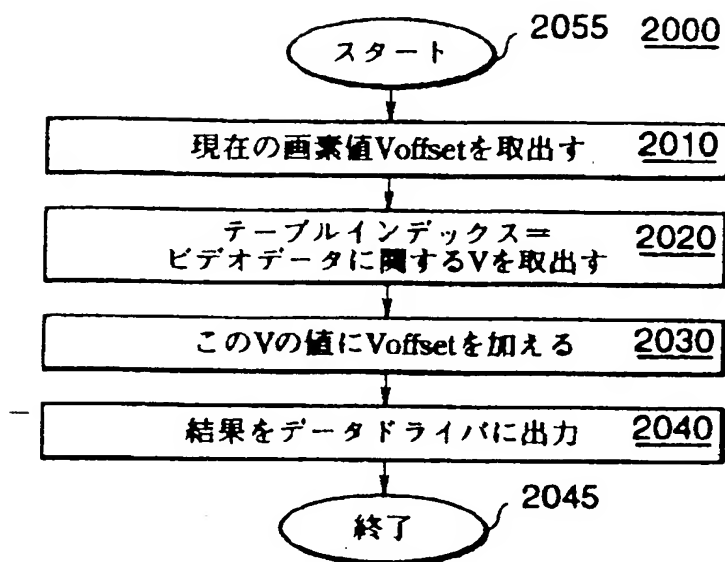
【図18】



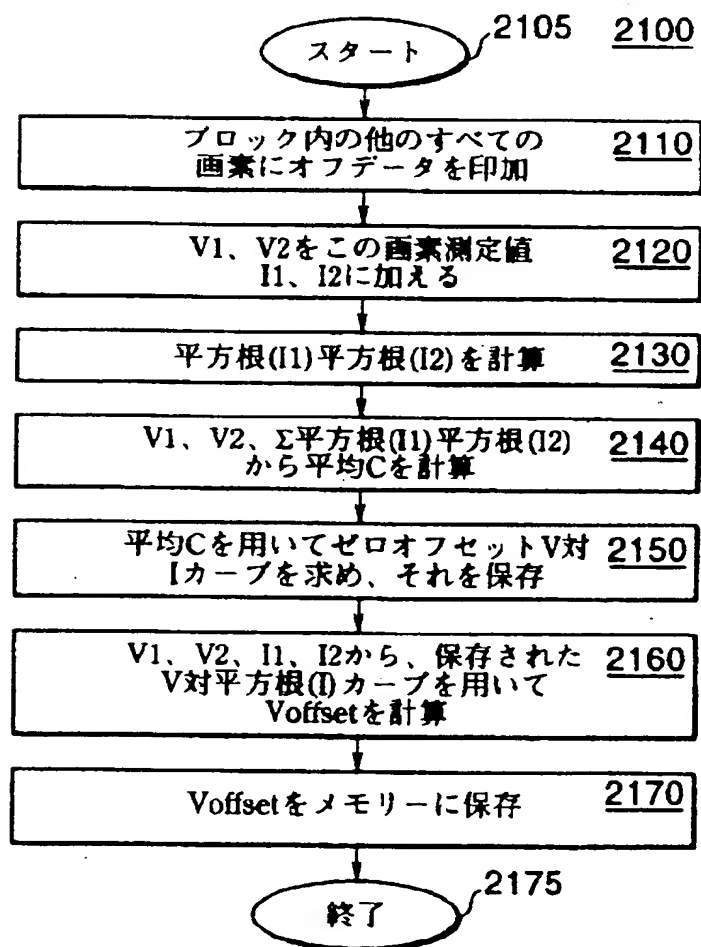
【図19】



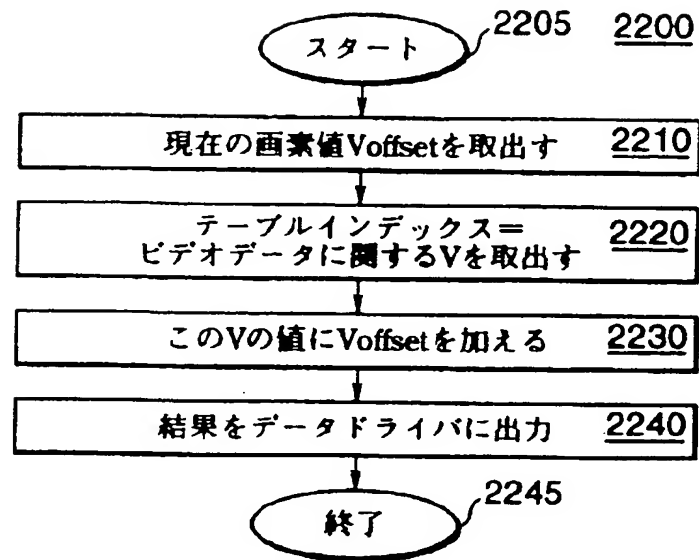
【図20】



【図21】



【図22】



フロントページの続き

(51)Int. Cl.⁶
H01L 33/00

識別記号

FI
H01L 33/00

J

(72)発明者 ジェームズ ハロルド アサトン
アメリカ合衆国、ニュージャージー州・
08551、リンゴーズ、エヴェリットス ロ
ード 45

(72)発明者 ロジャー グリーン スチュアート
アメリカ合衆国、ニュージャージー州・
08853、ネシャニック ステーション、ス
キー ドライブ 3
(72)発明者 フランク パウル キュオモ
アメリカ合衆国、ニュージャージー州・
08540、プリンストン、リーヴィット レ
ーン 74

【外国語明細書】

ACTIVE MATRIX LIGHT EMITTING DIODE PIXEL STRUCTURE AND CONCOMITANT METHOD

This application claims the benefit of U.S. Provisional Application
5 No. 60/060, 386 filed September 29, 1997, and U.S. Provisional Application
No. 60/060, 387 filed September 29, 1997, which are herein incorporated by
reference.

The invention relates to an active matrix light emitting diode pixel
10 structure. More particularly, the invention relates to a pixel structure that
improves brightness uniformity by reducing current nonuniformities in a
light-emitting diode of the pixel structure and method of operating said
active matrix light emitting diode pixel structure.

15 BACKGROUND OF THE DISCLOSURE

Matrix displays are well known in the art, where pixels are
illuminated using matrix addressing as illustrated in FIG. 1. A typical
display 100 comprises a plurality of picture or display elements (pixels) 160
that are arranged in rows and columns. The display incorporates a column
20 data generator 110 and a row select generator 120. In operation, each row
is sequentially activated via row line 130, where the corresponding pixels
are activated using the corresponding column lines 140. In a passive matrix
display, each row of pixels is illuminated sequentially one by one, whereas
in an active matrix display, each row of pixels is first loaded with data
25 sequentially. Namely, each row in the passive matrix display is only
"active" for a fraction of the total frame time, whereas each row in the active
matrix display can be set to be "active" for the entire total frame time.

With the proliferation in the use of portable displays, e.g., in a laptop
computer, various display technologies have been employed, e.g., liquid
30 crystal display (LCD) and light-emitting diode (LED) display. Generally, an
important criticality in portable displays is the ability to conserve power,

-2-

thereby extending the "on time" of a portable system that employs such display.

In a LCD, a backlight is on for the entire duration in which the display is in use. Namely, all pixels in a LCD are illuminated, where a
5 "dark" pixel is achieved by causing a polarized layer to block the illumination through that pixel. In contrast, a LED display only illuminates those pixels that are activated, thereby conserving power by not having to illuminate dark pixels.

FIG. 2 illustrates a prior art active matrix LED pixel structure 200
10 having two NMOS transistors N1 and N2. In such pixel structure, the data (a voltage) is initially stored in the capacitor C by activating transistor N1 and then activating "drive transistor" N2 to illuminate the LED. Although a display that employs the pixel structure 200 can reduce power consumption, such pixel structure exhibits nonuniformity in intensity level
15 arising from several sources.

First, it has been observed that the brightness of the LED is proportional to the current passing through the LED. With use, the threshold voltage of the "drive transistor" N2 may drift, thereby causing a change in the current passing through the LED. This varying current
20 contributes to the nonuniformity in the intensity of the display.

Second, another contribution to the nonuniformity in intensity of the display can be found in the manufacturing of the "drive transistor" N2. In some cases, the "drive transistor" N2 is manufactured from a material that is difficult to ensure initial threshold voltage uniformity of the transistors
25 such that variations exist from pixel to pixel.

Third, LED electrical parameters may also exhibit nonuniformity. For example, it is expected that OLED (organic light-emitting diode) turn-on voltages may increase under bias-temperature stress conditions.

Therefore, a need exists in the art for a pixel structure and
30 concomitant method that reduces current nonuniformities due to threshold voltage variations in a "drive transistor" of the pixel structure.

-3-

SUMMARY OF THE INVENTION

The present invention incorporates a LED (or an OLED) pixel structure and method that improve brightness uniformity by reducing current nonuniformities in a light-emitting diode of the pixel structure. In one embodiment, a pixel structure having five transistors is disclosed. In an alternate embodiment, a pixel structure having three transistors and a diode is disclosed. In yet another alternate embodiment, a different pixel structure having five transistors is disclosed. In yet another alternate embodiment, an additional line is provided to extend the autozeroing voltage range. Finally, an external measuring module and various external measuring methods are disclosed to measure pixel parameters that are then used to adjust input pixel data.

BRIEF DESCRIPTION OF THE DRAWINGS

The teachings of the present invention can be readily understood by considering the following detailed description in conjunction with the accompanying drawings, in which:

FIG. 1 depicts a block diagram of a matrix addressing interface;

FIG. 2 depicts a schematic diagram of a prior art active matrix LED pixel structure;

FIG. 3 depicts a schematic diagram of an active matrix LED pixel structure of the present invention;

FIG. 4 depicts a timing diagram for active matrix LED pixel structure of FIG. 3;

FIG. 5 depicts a schematic diagram of an alternate embodiment of an active matrix LED pixel structure of the present invention;

FIG. 6 depicts a timing diagram for active matrix LED pixel structure of FIG. 5;

FIG. 7 depicts a schematic diagram of an alternate embodiment of an active matrix LED pixel structure of the present invention;

FIG. 8 depicts a timing diagram for active matrix LED pixel structure of FIG. 7;

-4-

FIG. 9 depicts a schematic diagram of an alternate embodiment of an active matrix LED pixel structure of the present invention;

FIG. 10 depicts a schematic diagram of an alternate embodiment of an active matrix LED pixel structure of the present invention;

5 FIG. 11 depicts a timing diagram for active matrix LED pixel structure of FIG. 10;

FIG. 12 illustrates a schematic diagram of an array of pixels interconnected into a pixel block;

FIG. 13 is a schematic diagram illustrating the interconnection
10 between a display and a display controller;

FIG. 14 illustrates a flowchart of a method for initializing the display by measuring the parameters of all the pixels;

FIG. 15 illustrates a flowchart of a method for correcting input data representing pixel voltages;

15 FIG. 16 illustrates a flowchart of a method for correcting input video data representing pixel currents, i.e., luminances;

FIG. 17 illustrates a flowchart of a method for initializing the display by measuring the parameters of all the pixels where the video data represent pixel voltage;

20 FIG. 18 illustrates a flowchart of a method for correcting input video data representing pixel voltages;

FIG. 19 illustrates a flowchart of a method for initializing the display by measuring the parameters of all the pixels for the situation where the video data represents pixel currents;

25 FIG. 20 illustrates a flowchart of a method for correcting input video data represented in pixel currents, i.e., luminances;

FIG. 21 illustrates a flowchart of a method for initializing the display by measuring the parameters of all the pixels for the situation where the video data represents gamma-corrected luminance data;

30 FIG. 22 illustrates a flowchart of a method for correcting input video data represented in gamma-corrected luminance data; and

-5-

FIG. 23 depicts a block diagram of a system employing a display having a plurality of active matrix LED pixel structures of the present invention.

To facilitate understanding, identical reference numerals have been
5 used, where possible, to designate identical elements that are common to the figures.

-6-

DETAILED DESCRIPTION

FIG. 3 depicts a schematic diagram of an active matrix LED pixel structure 300 of the present invention. In the preferred embodiment, the active matrix LED pixel structure is implemented using thin film transistors (TFTs), e.g., transistors manufactured using poly-silicon or amorphous silicon. Similarly, in the preferred embodiment, the active matrix LED pixel structure incorporates an organic light-emitting diode (OLED). Although the present pixel structure is implemented using thin film transistors and an organic light-emitting diode, it should be understood that the present invention can be implemented using other types of transistors and light emitting diodes.

The present pixel structure 300 provides a uniform current drive in the presence of a large transistor threshold voltage (V_t) nonuniformity and OLED turn-on voltage nonuniformity. In other words, it is desirable to maintain a uniform current through the OLEDs, thereby ensuring uniformity in the intensity of the display.

Referring to FIG. 3, pixel structure 300 comprises five NMOS transistors N1 (310), N2 (320), N3 (330), N4 (340) and N5 (350), a capacitor 302 and a LED (OLED) (light element) 304 (light element). A Select line 370 is coupled to the gate of transistor 350. A Data line 360 is coupled to one terminal of the capacitor 302. An Autozero line 380 is coupled to the gate of transistor 340. A VDD line 390 is coupled to the drain of transistors 320 and 330. An Autozero line 382 from a previous row in the pixel array is coupled to the gate of transistor 330.

It should be noted that Autozero line 382 from a previous row can be implemented as a second Select line. Namely, the timing of the present pixel is such that the Autozero line 382 from a previous row can be exploited without the need of a second Select line, thereby reducing complexity and cost of the present pixel.

One terminal of the capacitor 302 is coupled (at node A) to the source of transistor 330 and to the drain of transistors 340 and 350. The source of

-7-

transistor 350 is coupled (at node B) to the gate of transistors 310 and 320. The drain of transistor 310 is coupled to the source of transistor 340. Finally, the source of transistors 310 and 320 are coupled to one terminal of the LED 304.

5 As discussed above, driving an organic LED display is challenging in light of the various nonuniformities. The present invention is an architecture for an organic LED display that addresses these criticalities. Namely, each LED pixel is driven in a manner that is insensitive to variations in the LED turn-on voltage, as well as to variations in the TFT
10 threshold voltages. Namely, the present pixel is able to determine an offset voltage parameter using an autozeroing method that is used to account for these variations in the LED turn-on voltage, and the TFT threshold voltages.

Furthermore, data is provided to each pixel as a data voltage in a
15 manner that is very similar to that used in conventional active-matrix liquid crystal displays. As a result, the present display architecture can be employed with conventional column and row scanners, either external or integrated on the display plate.

The present pixel uses five (5) TFTs and one capacitor, and the LED.
20 It should be noted that TFTs are connected to the anode of the LED, and not the cathode, which is required by the fact that ITO is the hole emitter in conventional organic LED. Thus, the LED is coupled to the source of a TFT, and not the drain. Each display column has 2 row lines (the auto-zero line and the select line), and 1 1/2 column lines (the data line and the +Vdd line,
25 which is shared by neighboring columns). The waveforms on each line are also shown in FIG. 4. The operation of the pixel 300 is described below in three phases or stages.

The first phase is a precharge phase. A positive pulse on the auto-zero (AZ) line of the previous row 382 turns "on" transistor 330 and
30 precharges node A of the pixel up to Vdd, e.g., +10 volts. Then the Data line changes from its baseline value to write data into the pixel of the previous

-8-

row, and returns to its baseline. This has no net effect on the pixel under consideration.

The second phase is an auto-zero phase. The AZ and SELECT lines for the present row go high, turning "on" transistors 340 and 350 and causing the gate of transistor N1 310 to drop, self-biasing to a turn-on voltage that permits a very small trickle of current to flow through the LED. In this phase the sum of the turn-on voltage of the LED and the threshold voltage of N1 are stored on the gate of N1. Since N1 and N2 can be placed very close together, their initial threshold voltages will be very similar. In addition, these two transistors should have the same gate to source voltage, V_{gs} . Since a TFT threshold drift depends only on V_{gs} over the life of the TFT, it can be assumed that the threshold voltages of these devices will track over the life of the TFT. Therefore, the threshold voltage of N2 is also stored on its gate. After auto-zeroing is complete, the Autozero line returns low, while Select line stays high.

The third phase is a data writing phase. The data is applied as a voltage above the baseline voltage on the Data line, and is written into the pixel through the capacitor. Then, the Select line returns low, and the sum of the data voltage, plus the LED turn-on voltage, plus N2's threshold voltage, is stored at node B for the rest of the frame. It should be noted that a capacitor from node B to +Vdd can be employed in order to protect the stored voltage from leaking away.

In sum, during the auto-zero phase, the LED's turn-on voltage, as well as N2's threshold voltage, are "measured" and stored at node B using a trickle current. This auto-zero phase is essentially a current-drive mode of operation, where the drive current is very small. It is only after the auto-zero phase, in the writing phase, that the voltage on the LED is incremented above turn-on using the applied data voltage. Thus, the present invention can be referred to as having a "hybrid drive," rather than a voltage drive or current drive. The hybrid drive method combines the advantages of voltage drive and current drive, without the disadvantages of either. Variations in the turn-on voltage of the LED and the threshold

-9-

voltage of the TFT are corrected, just as in current drive. At the same time, all lines on the display are driven by voltages, and can therefore be driven fast.

It should be noted that the data voltage increment applied to the
5 Data line 360 does not appear directly across the LED 304, but is split between V_{gs} of N2 320 and the LED. This simply means that there is a nonlinear mapping from the data voltage to the LED voltage. This mapping, combined with the nonlinear mapping from LED voltage to LED current, yields the overall transfer function from data voltage to LED
10 current, which is monotonic, and, as noted above, is stable over the life of the display.

An advantage of the present pixel architecture 300 is that the transistors in the pixel whose threshold shifts are uncorrected (N3, N4, and N5) are turned on for only one row-time per frame, and therefore have a
15 very low duty-cycle and are not expected to shift appreciably. Additionally, N2 is the only transistor in the LED's current path. Additional transistors connected in series on this path may degrade display efficiency or may create problems due to uncorrected TFT threshold shifts, and, if shared by all pixels on a column, may introduce significant vertical crosstalk.

20 Select and Autozero (AZ) pulses are generated by row scanners. The column data is applied on top of a fixed (and arbitrary) baseline voltage in the time-slot between AZ pulses. The falling edge of Select signal occurs while data is valid on the Data line. Various external and integrated column-scanner designs, either of the direct-sample or chopped-ramp type,
25 can produce data with this timing.

The above pixel architecture permits large direct-view displays to be built using organic LEDs. Of course, the present pixel structure is also applicable to any display technology that uses display elements requiring drive current, particularly, when the display elements or the TFTs have
30 turn-on voltages that shift or are nonuniform.

FIG. 5 depicts a schematic diagram of an alternate embodiment of an active matrix LED pixel structure 500 of the present invention. The pixel

-10-

structure 500 is similar to the pixel structure 300 of FIG. 3, where a Schottky diode is now employed in lieu of two transistors.

One potential disadvantage of the pixel structure 300 is the use of five transistors per pixel. Namely, using so many transistors in each pixel may impact the pixel's fill-factor (assuming bottom-side emission through the active plate), and also its yield. As such, the pixel structure 300 employs a single Schottky diode in each pixel that reduces the number of transistors from five to three transistors, while performing the same functions as previously described.

Referring to FIG. 5, pixel structure 500 comprises three NMOS transistors N1 (510), N2 (520), N3 (530), a capacitor 502, a Schottky diode 540 and a LED (OLED) 550 (light element). A Select line 570 is coupled to the gate of transistor 530. A Data line 560 is coupled to one terminal of the capacitor 502. An Autozero line 580 is coupled to the gate of transistor 520. An Illuminate (similar to a VDD line) line 590 is coupled to one terminal of the Schottky diode 540.

One terminal of the capacitor 502 is coupled (at node A) to the drain of transistors 520 and 530. The source of transistor 530 is coupled (at node B) to the gate of transistor 510. The drain of transistor 510 is coupled to the source of transistor 520, and one terminal of the Schottky diode 540.

The pixel structure 500 also has three phases of operation: a precharge phase, an autozero phase, and a data writing phase as discussed below. All of the Illuminate lines are connected together at the periphery of the display, and before the precharge phase begins, the Illuminate lines are held at a positive voltage V_{ILL} , which is approximately +15V. For the purpose of the following discussion, a row under consideration is referred to as "row i". The waveforms on each line are also shown in FIG. 6.

The first phase is a precharge phase. Precharge is initiated when the Autozero (AZ) line turns on transistor N2, and the Select line turns on transistor N3. This phase is performed while the Data line is at a reset level. The voltage at Nodes A and B rises to the same voltage as the drain of transistor N1, which is a diode drop below V_{ILL} .

-11-

The second phase is an autozero phase. Next, the Illuminate line drops to ground. During this phase, all pixels on the array will briefly darken. Autozeroing of N1 now begins with the Schottky diode 540 causing the drain of transistor N1 to be isolated from the grounded Illuminate line.

5 When Node B has reached a voltage approximately equal to the threshold voltage of the transistor N1 plus the turn-on voltage of the LED 550, the AZ line is used to turn transistor N2 "off", and the Illuminate line is restored to V_{ILL} . All pixels in unselected rows light up again.

The third phase is a data writing phase. Next, the data for row i is

10 loaded onto the data line. The voltage rise at Nodes A and B will equal the difference between the Data line's reset voltage level and the data voltage level. Thus, variations in the threshold voltage of transistor N1 and the LED's turn-on voltage will be compensated. After the voltage at Node B has settled, the Select line for row i is used to turn off transistor N3, and the

15 Data line is reset. The proper data voltage is now stored on the pixel until the next frame.

Thus, a three-transistor pixel for OLED displays has been described, that possesses the advantages described previously for the 5-transistor pixel 300, but requires fewer transistors. An additional advantage is that the 5-

20 transistor pixel employs separate transistors for autozeroing and driving the LED. Proper operation of pixel 300 requires that these two transistors have matching initial thresholds that would drift over life in the same way. Recent experimental data suggest that TFTs with different drain voltages (as these two transistors have) may not drift in the same way. Thus, pixel

25 500 performs autozeroing on the same transistor that drives the LED, such that proper autozeroing is guaranteed.

FIG. 7 depicts a schematic diagram of an alternate embodiment of an active matrix LED pixel structure 700 of the present invention. The pixel structure 700 is similar to the pixel structure 300 of FIG. 3, with the

30 exception that pixel structure 700 may generate a more precise autozero voltage.

-12-

Namely, referring to FIG. 3, the autozeroing arises from the fact that each precharge cycle, as shown in FIG. 3, injects a large positive charge Q_{pc} onto Node A of the pixel 300. During the precharge phase, nearly all of the capacitance on Node A is from capacitor C_{data} , such that the charge injected
 5 onto Node A is:

$$Q_{pc} \equiv C_{data}(V_{DD} - V_A) \quad (1)$$

where V_A is the voltage that was on Node A before the precharge phase
 10 began. V_A depends on the threshold voltage of N3 330 and the turn-on voltage of the LED 304, as well as the previous data applied to the pixel 300. Since C_{data} is a large capacitance (approx. 1 pF), Q_{pc} is also relatively large, on the order of ten picocoulombs.

When the pixel 300 is at a stable autozero level, Q_{pc} flows through N1
 15 310 and the LED 304 during the autozero phase. Since the autozero interval is short (approximately 10 μ sec.), N1 may be left with a gate-to-source autozero voltage higher than its threshold voltage, and similarly the LED autozeroes above its turn-on voltage. Thus, the autozeroing process may not produce a true zero-current autozero voltage at Nodes A and B, but
 20 instead, an approximation of a zero-current autozero voltage.

It should be noted that it is not necessary to produce a true zero-current autozero voltage, corresponding to exactly zero current through N1 and the LED. The desirable goal is to obtain an autozero voltage that permits a small trickle of current (approximately ten nanoamps) to flow
 25 through N1 310 and the LED 304. Since the autozero interval is approximately 10 μ sec, then Q_{pc} should be on the order of 0.1 picocoulomb. As noted above, Q_{pc} is approximately 10 picocoulombs.

The effect of such a large Q_{pc} is that the pixel's stable autozero voltage may well be above the sum of the threshold and turn-on voltages.
 30 This condition by itself is not a problem, if the excess autozero voltages were

-13-

uniform across the display. Namely, the effect can be addressed by offsetting all the data voltages accordingly.

However, a potential difficulty may arise if Q_{pc} is not only large, but also depends on the previous data voltage, and on the autozero voltage itself. If this condition develops in the display, then not only will all pixels have large excess autozero voltages, but also the magnitude of the excess voltage may vary from pixel to pixel. In effect, the autozeroing of pixel 300 may not produce a uniform display under such a condition.

To address this criticality, the pixel structure 700 is capable of reducing the precharge Q_{pc} to a very small value. Additionally, a "variable precharge" method is disclosed, that permits Q_{pc} to vary, depending on the amount of charge that is actually needed for autozeroing. In brief, if the current autozero voltage is too low, Q_{pc} assumes its maximum value of about 0.1 picocoulomb in order to raise the autozero voltage toward its desired value. However, if the current autozero voltage is too high, then Q_{pc} is essentially zero, allowing the autozero voltage to drop quickly.

Referring to FIG. 7, pixel structure 700 comprises five NMOS transistors N1 (710), N2 (720), N3 (730), N4 (740), N5 (750), a capacitor 702, and a LED (OLED) 704 (light element). A Select line 770 is coupled to the gate of transistor 710. A Data line 760 is coupled to one terminal of the capacitor 702. An Autozero line 780 is coupled to the gate of transistor 740. A VDD line 790 is coupled to the drain of transistors 720 and 750. An Autozero line 782 from a previous row in the pixel array is coupled to the gate of transistor 750.

It should be noted that Autozero line 782 from a previous row can be implemented as a second Select line. Namely, the timing of the present pixel is such that the Autozero line 782 from a previous row can be exploited without the need of a second Select line, thereby reducing complexity and cost of the present pixel.

One terminal of the capacitor 702 is coupled (at node A) to the drain of transistor 710. The source of transistor 710 is coupled (at node B) to the gate of transistors 720 and 730 and is coupled to the source of transistor

-14-

740. The drain of transistor 740 is coupled (at node C) to the source of transistor 750, and to the drain of transistor 730. Finally, the source of transistors 730 and 720 are coupled to one terminal of the LED 704.

More specifically, the pixel 700 is similar to the pixel 300, except that the precharge voltage is now applied to Node C, which is the drain of transistor N3 730. In addition, there are also some timing changes as shown in FIG. 8. The operation of the pixel 700 is again described below in three phases or stages.

The first phase is a precharge phase that occurs during the previous line time, i.e., before data is applied to the previous row's pixels. A positive pulse on the Select line turns "on" N1, thereby shorting Nodes A and B together, which returns the pixel 700 to the state it was in after the last autozero phase. Namely, the pixel is returned to a data-independent voltage that is the pixel's most recent estimate of its proper autozero voltage. While transistor N1 is "on", a positive pulse on the Autozero line 782 from a previous row line turns "on" transistor N5, thereby precharging Node C to V_{dd} . In turn, transistors N1 and N5 are turned "off".

The relative timing of turning transistors N1 and N5 "on" and "off" is not very important, except that transistor n1 must be "on" before transistor N5 is turned "off". Otherwise, transistor N3 may still be turned "on" in response to the old data voltage, and the charge injected onto Node C may inadvertently drain away through transistor N3.

After the precharge phase, the charge Q_{pc} is stored at Node C on the gate-to-source/drain capacitances of transistors N3, N4 and N5. Since these capacitances add up to a very small capacitance (about 10 fF), and the precharge interval raises Node C about 10V, Q_{pc} is initially approximately 0.1 picocoulombs. However, this charge will drain from Node C to varying degrees prior to the autozero phase, depending on how well the previous autozero voltage approximates the true autozero voltage. Thus, it is more accurate to indicate that $Q_{pc} \leq 0.1$ picocoulomb, depending on how much charge is needed for autozeroing. This is the variable precharge feature. If the last autozero voltage is too low, N3 is nonconducting after the precharge

-15-

phase, and Q_{pc} should stay at its maximum value, raising the autozero voltage toward its desired level during the autozero phase. If the last autozero voltage is too high, N3 is conducting, and Q_{pc} will drain off by the time the autozero phase occurs, allowing the autozero voltage to drop quickly.

Although the relative timing for transistors N1 and N5 is not critical, the preferred timing is shown in FIG. 8. The two transistors N1 and N5 turn "on" at the same time in order to minimize the time required for precharge. N1 turns "off" before N5 such that the (intentional) draining of Q_{pc} from Node C is in response to a Node B voltage that has been capacitively pushed down by N1 turning "off". This ensures that the draining of Q_{pc} from Node C is in response to a Node B voltage that is the same as when zero data is applied to the pixel.

In sum, the pixel 700 when compared to the pixel 300, provides a means of precharging the pixel that allows a more effective autozeroing. Specifically, the autozeroing of pixel 700 is more accurate, faster, and data independent. Computer simulations have verified that the pixel 700 autozeroes well and is able to maintain a nearly constant OLED current vs. data voltage characteristic over an operational lifetime of 10,000 hours.

FIG. 9 depicts a schematic diagram of an alternate embodiment of an active matrix LED pixel structure 900 of the present invention. The pixel structure 900 is similar to the pixel structure 700 of FIG. 7, with the exception of having an additional $V_{precharge}$ line 992, that permits the range of autozero voltages to be extended without raising the LED supply voltage V_{dd} . This additional modification of the pixel extends the life and efficiency of the pixel.

It should be noted that the above described pixels (200, 300, 700) have the limitation that the autozero voltage cannot exceed V_{dd} , since this is the precharge voltage. However, as the threshold voltages of transistors N2 and N3 drift over the life of the transistor, a point is reached where an autozero voltage higher than V_{dd} is required in order to compensate for drift in the TFT threshold voltage and in the OLED turn-on voltage. Since the

-16-

autozero voltage cannot reach higher voltages, display uniformity will quickly degrade, signaling the end of the useful life of the display. Raising V_{dd} will permit higher autozero voltages to be achieved, but at the expense of power efficiency, since V_{dd} is also the OLED drive supply.

5 Furthermore, the range of autozero voltages will be restricted even further if, in order to improve power efficiency, V_{dd} is reduced to operate transistor N2 in the linear region. (Of course, this will require N2 to be made larger than if it was operated in saturation.) In this case, the operating lifetime will be quite short, since after a short period of operation,
10 the autozero voltage will need to reach a level higher than V_{dd} .

Referring to FIG. 9, an optional modification is incorporated into the pixel 700 that removes restrictions on the autozero voltage, thereby permitting it to be extended to well above V_{dd} . The pixel 900 is identical to the pixel 700 with the exception of an additional column line 992, that is
15 coupled to the drain of transistor 950.

The column line 992 is added to the array to carry a DC voltage $V_{precharge}$ to all the pixels. All of these column lines are connected together at the edge of the display. By raising $V_{precharge}$ to a level higher than V_{dd} , the pixel 900 can precharge and autozero to a voltage higher than V_{dd} . A high
20 value of $V_{precharge}$ will have very little effect on display efficiency.

It should be noted that each $V_{precharge}$ line 992 can be shared by neighboring columns of pixels. The $V_{precharge}$ lines can also run as row lines, shared by neighboring rows.

In sum, a modification of the above OLED pixels is disclosed where
25 an additional voltage line is provided to extend the range of the autozero voltages beyond V_{dd} . This allows the OLED drive transistor to operate at as low a voltage as needed for power efficiency, possibly even in the linear region, without restricting the range of autozero voltages. Thus, long operating lifetime and high efficiency can be obtained. Finally, although
30 the present modification is described with respect to pixel 700, it should be understood that this optional modification can be employed with other

-17-

autozeroing pixel structures, including but not limited to, pixels 200 and 300 as discussed above.

Although the above pixel structures are designed for an OLED display in such a manner that transistor threshold voltage variations and
5 OLED turn-on voltage variations in the pixel can be compensated, these pixel structures are not designed to address nonuniformity that is generated external to the pixel. It was pointed out that the pixel could be used with conventional column driver circuits, either external to the display plate or integrated on the display.

10 Unfortunately, integrated data drivers are typically not as accurate as external drivers. While commercially available external drivers can achieve ± 12 mV accuracy, it has proven difficult to achieve accuracy better than ± 50 mV using integrated drivers. The particular type of error produced by integrated drivers is primarily offset error, i.e., it is a data-
15 independent DC level that adds to all data voltages. The offset error is nonuniform, i.e., the value of the DC level varies from one data driver to the next. Liquid crystal displays tend to be forgiving of offset errors because the liquid crystal is driven with opposite polarity data in successive frames, such that in one frame the offset error causes the liquid crystal to be slightly
20 too dark, and in the next frame too light, but the average is nearly correct and the alternating errors are not noticeable to the eye. However, an OLED pixel is driven with unipolar data. Therefore, the bipolar cancellation of offset errors does not occur, and serious nonuniformity problems may result when integrated scanners are used.

25 FIG. 10 depicts a schematic diagram of an active matrix LED pixel structure 300 of the present invention coupled to a data driver 1010 via a column transistor 1020. The present invention describes a method for canceling offset errors in integrated data scanners for OLED displays. Namely, the present method is designed to operate with any pixel in which
30 the pixel is capacitively coupled to a data line, and has an autozero phase, e.g., pixels 200, 300, 500, and 700 as discussed above.

-18-

Referring to FIG. 10, the pixel 300 as described above is coupled to a Data line that provides the pixel with an analog level to establish the brightness of the OLED element. In FIG. 10, the Data line is driven by a data driver that uses the chopped ramp technique to set the voltage on the Data line. Various sources of error exist in this approach that may give rise to offset errors on the Data line. For example, the time at which the voltage comparator switches can vary depending on the comparator's maximum slew rate. It has also been observed experimentally that the maximum slew rate can be highly variable. The offset error will affect the voltage stored in the pixel. Since it is nonuniform, the offset error will also lead to brightness variations across the display.

In the present invention, the period during which the pixel autozeros to cancel its own internal threshold error is also used to calibrate out the data scanner's offset error. The waveforms of the various lines is shown in FIG. 11.

Namely, this is accomplished by setting a reference black level on the Data line using the same column driver that will apply the actual data voltage. This reference black level, applied during the pixel's autozero phase, is set on the Data line in exactly the same manner that the actual data voltage will be set: the data ramp is chopped at a time determined by the voltage comparator. Thus, the voltage across capacitor C of the pixel is determined by the difference between the pixel's turn-on voltage and the combined black level plus the offset error voltage. The reference black level is maintained for the entire autozero phase. When the actual data is applied to the pixel, the data scanner offset error is now canceled by the stored voltage on the pixel capacitor.

This technique can be applied not only to integrated scanners that use a chopped ramp, but also to scanners using direct sampling onto the columns. In the case of direct sampling, the error arises from the nonuniform capacitive feedthrough of the gate signal onto the Data line when the (large) column transistor turns off. Variations in the threshold voltage of this transistor produce a nonuniform offset error, just like the

-19-

nonuniform offset error produced by the chopped ramp data scanners.

Thus, it can be corrected in the same manner. A black reference voltage is written onto the columns during the pixel's autozero phase. Since all of the pixels in a row autozero at the same time, this black level is
5 written onto all of the data columns simultaneously at the beginning of the line time. The black level is maintained for the entire autozero phase. As in the case of the chopped-ramp scanner, when the actual data is applied to the pixel, the offset error will be canceled by the voltage stored on the pixel capacitor. However, it seems likely that the time overhead required to
10 perform offset error correction is smaller using the direct-sampling technique than with the chopped ramp technique.

The present method for correcting data driver errors should permit organic LED displays to be built with much better brightness uniformity than would otherwise be possible. Using the method described here,
15 together with any of the above autozeroing pixels, brightness uniformity of 8-bits should be achievable, with no visible uniformity degradation over the lifetime of the display.

Although the above disclosure describes a plurality of pixel structures that can be employed to account for nonuniformity in the intensity of a
20 display, an alternative approach is to compensate such nonuniformity by using external means. More specifically, the disclosure below describes an external calibration circuit and method to account for nonuniformity in the intensity of a display. In brief, the non-uniformity is measured and stored for all the pixels such that the data (e.g., data voltages) can be calibrated
25 using the measured non-uniformity.

As such, although the conventional pixel structure of FIG. 2 is used in the following discussion, it should be understood that the present external calibration circuit and method can be employed with other pixel structures, including but not limited to, the pixels 300, 500, and 700 as described above.
30 However, if the non-uniformity is addressed by the present external calibration circuit and method, then a more simplified pixel structure can be employed in the display, thereby increasing display yield and fill-factor.

-20-

FIG. 12 illustrates a schematic diagram of an array of pixels 200 interconnected into a pixel block 1200. Referring to FIG. 2, in operation, data is written into the pixel array in the manner commonly used with active matrix displays. Namely, a row of pixels is selected by driving the Select line high, thereby turning on access transistor N1. Data is written into the pixels in this row by applying data voltages to the Data lines. After the voltage at node A has settled, the row is deselected by driving the Select line low. The data voltage is stored at node A until this row is selected again on the next frame. There may be some charge leakage from node A during the time that N1 is turned off, and a storage capacitor may be required at node A to prevent an unacceptable level of voltage decay. The dotted lines illustrate how a capacitor can be connected to address the voltage decay. However, it is possible that there is sufficient capacitance associated with the gate of N2 to render such additional capacitance unnecessary.

It should be noted that the luminance L of an OLED is approximately proportional to its current I , with the constant of proportionality being fairly stable and uniform across the display. Therefore, the display will be visually uniform if well-defined OLED currents are produced.

However, what is programmed into the pixel is not the OLED current, but rather the gate voltage on N2. It is expected that TFT threshold voltages and transconductances will exhibit some initial nonuniformity across a display, as will the OLED electrical parameters. Furthermore, it is well known that TFT threshold voltages increase under bias-temperature stress conditions, as do OLED turn-on voltages. Thus, these parameters are expected to be initially nonuniform, and to vary over the life of the pixel in a manner that depends on the individual bias history of each pixel. Programming the gate voltage of N2 without compensating for the variations of these parameters will yield a display that is initially nonuniform, with increasing nonuniformity over the life of the display.

The present invention describes a method for correcting the data voltage applied to the gate of N2 in such a way that variations in the TFT

-21-

and OLED electrical parameters are compensated, thereby permitting well-defined OLED currents to be produced in the pixel array.

FIGs. 2 and 12 illustrate a pixel array having VDD supply lines that are disposed parallel to the Data lines. (In alternative embodiments, the VDD lines may run parallel to the Select lines.) As such, each VDD line can be shared by two or more neighboring columns of pixels to reduce the number of VDD lines. Figure 12 illustrates the VDD lines as being tied together into blocks on the periphery of the display. Each pixel block 1200 may contain as few as one VDD line, or as many as the total number of VDD lines on the display. However, in the preferred embodiment, each pixel block 1200 contain about 24 VDD lines, i.e., about 48 pixel columns.

FIG. 13 is a schematic diagram illustrating the interconnection between a display 1310 and a display controller 1320. The display 1310 comprises a plurality of pixel blocks 1200. The display controller 1320 comprises a VDD control module 1350, a measurement module 1330 and various I/O devices 1340 such as A/D converters and a memory for storing pixel parameters.

Each pixel block is coupled to a sensing pin (VDD/SENSE) 1210 at the edge of the display, as shown in FIGs. 12 and 13. During normal display operation, the sensing pins 1210 are switched to an external V_{dd} supply, e.g., between 10-15V, thereby supplying current to the display for illuminating the OLED elements. More specifically, each VDD/SENSE pin 1210 is associated with a pair of p-channel transistors P1 (1352) and P2 (1332) and a current sensing circuit 1334 in the display controller 1320. During normal operation, an ILLUMINATE signal from the display controller activates P1 to connect a VDD/SENSE pin to the V_{dd} supply. In a typical implementation, the current through P1 is expected to be approximately 1 mA per column.

In order to compensate for variations in the TFT and OLED parameters, the external current sensing circuits 1334 are activated via a MEASURE signal to collect information about each pixel's parameters during a special measurement cycle. The collected information is used to

-22-

calculate or adjust the appropriate data voltages for establishing the desired OLED currents during normal display operation.

More specifically, during a given pixel's measurement cycle, all other pixels in the pixel block are tuned off by loading these pixels with low data
5 voltages (e.g., zero volts or less), thereby ensuring negligible current draw from the "off" pixels. In turn, the current drawn by the pixel of interest is measured in response to one or more applied data voltages. During each measurement cycle, the data pattern (i.e., consisting of all pixels in a block turned "off" except for one pixel turned "on") is loaded into the pixels in the
10 normal way, with data applied to the DATA lines by data driver circuits, and rows being selected one by one. Thus, since the display is partitioned into a plurality of pixel blocks, a plurality of pixels can be measured by turning on at least one pixel in each pixel block simultaneously.

The current drawn by the pixel of interest in each pixel block is
15 measured externally by driving the ILLUMINATE and MEASURE lines to levels that disconnect the VDD/SENSE pin 1210 from VDD source and connect the sensing pin to the input of a current-sensing circuit 1334 through P2, where the current drawn by the pixel of interest is measured. The pixel current is expected to be in the range of 1-10 μ A. The current-
20 sensing circuit 1334 is shown as a transimpedance amplifier in FIG. 13, but other embodiments of current-sensing circuit can be implemented. In the present invention, the amplifier generates a voltage at the output that is proportional to the current at the input. This measured information is then collected by I/O devices 1340 where the information is converted into digital
25 form and then stored for calibrating data voltages. The resistor in the current-sensing circuit 1334 is approximately one Megohm.

Although multiple current-sensing circuits 1334 are illustrated with a one to one correspondence with the pixel blocks, fewer current-sensing circuits can be employed through the use of a multiplexer (not shown).
30 Namely, multiple VDD/SENSE pins are multiplexed to a single current-sensing circuit 1334. In one extreme, a single current-sensing circuit is used for the entire display. Multiplexing the VDD/SENSE pins to the

-23-

sensing circuits in this manner reduces the complexity of the external circuitry, but at the expense of added display measurement time.

Since normal display operation must be interrupted in order to perform pixel measurement cycles, pixel measurements should be scheduled
5 in a manner that will least disrupt the viewer. Since the pixel parameters change slowly, a given pixel does not need to be measured frequently, and measurement cycles can be spread over a long period of time.

While it is not necessary for all pixels to be measured at the same time, it is advantageous to do so in order to avoid nonuniformity due to
10 variable measurement lag. This can be accomplished by measuring all pixels rapidly when the display module is turned "on", or when it is turned "off". Measuring pixels when the display module is turned "off" does not interfere with normal operation, but may have the disadvantage that after a long "off" period, the stored pixel parameters may no longer ensure
15 uniformity. However, if an uninterrupted power source is available (e.g., in screen saver mode), measurement cycles can be performed periodically while the display is "off" (from the user's point of view). Of course, any option that does not include a rapid measurement of all pixels when the display module is turned "on", requires that nonvolatile memory be available for storing
20 measurement information while power is "off".

If pixel measurement information is available, compensation or calibration of the data voltages can be applied to the display to correct for various sources of display nonuniformity. For example, compensation of the data voltages can be performed to account for transistor threshold-voltage
25 variations and OLED turn-on voltage variations. As such, the discussion below describes a plurality of methods that are capable of compensating the above sources of display nonuniformity, including other sources of display nonuniformity as well. By using these methods, a display with several sources of nonuniformity, some of them severe, can still provide a uniform,
30 high-quality displayed image.

For the purpose of describing the present compensation methods, it is assumed that the pixel structure of FIG. 2 is employed in a display.

-24-

However, it should be understood that the present compensation methods can be adapted to a display employing any other pixel structures.

Referring to FIG. 2, the stored voltage on Node A is the gate voltage of N2, and thus establishes a current through N2 and through the LED. By
 5 varying the gate voltage on N2, the LED current can be varied. Consider the relationship between the gate voltage on N2 and the current through the LED. The gate voltage V_g can be divided into two parts, the gate-to-source voltage V_{gs} of N2 and the voltage V_{diode} across the LED:

$$10 \quad V_g = V_{gs} + V_{diode} \quad (2)$$

For an MOS transistor in saturation the drain current is approximately:

$$I = \frac{k}{2} (V_{gs} - V_t)^2 \quad (3)$$

15

where k is the device transconductance parameter and V_t is the threshold voltage. (For operation in the linear region, see below.) Therefore:

$$V_{gs} = \sqrt{\frac{2I}{k}} + V_t \quad (4)$$

20

The forward current through the OLED is approximately:

$$I = AV_{diode}^m \quad (5)$$

25 where A and m are constants (See Burrows et al., J. Appl. Phys. 79 (1996)).
 Therefore:

$$V_{diode} = \sqrt[m]{\frac{I}{A}} \quad (6)$$

-25-

Thus, the overall relation between the gate voltage and the diode current is:

$$V_g = V_t + \sqrt{\frac{2I}{k}} + \sqrt{\frac{I}{A}} \quad (7)$$

It should be noted that other functional forms can be used to represent the OLED I-V characteristic, which may lead to different functional relationships between the gate voltage and the diode current. However, the present invention is not limited to the detailed functional form of the OLED I-V characteristic as disclosed above, and as such, can be adapted to operate for any diode-like characteristic.

The luminance L of an OLED is approximately proportional to its current I, with the constant of proportionality being fairly stable and uniform across the display. Typically, the display is visually uniform if well-defined OLED currents can be produced. However, as discussed above, the pixel is programmed with the voltage V_g and not the current I. The problem is based on the observation that TFT parameters V_t and k will exhibit some initial nonuniformity across a display, as well OLED parameters A and m. Furthermore, it is well known that V_t increases under bias-temperature stress conditions. The OLED parameter A is directly related to the OLED's turn-on voltage, and is known to decrease under bias stress. The OLED parameter m is related to the distribution of traps in the organic band gap, and may also vary over the life of the OLED. Thus, these parameters are expected to be initially nonuniform, and to vary over the life of the display in a manner that depends on the individual bias history of each pixel. Programming the gate voltage without compensating for the variations of these parameters will yield a display that is initially nonuniform, with increasing nonuniformity over the life of the display.

In fact, other sources of nonuniformity exists. The gate voltage V_g is not necessarily equal to the intended data voltage V_{data} . Instead, gain and offset errors in the data drivers, as well as (data-dependent) feedthrough arising from the deselection of N1, may cause these two voltages to be different. These sources of error can also be nonuniform and can vary over

-26-

the life of the display. These and any other gain and offset errors can be addressed by expressing:

$$V_g = BV_{data} + V_0 \quad (8)$$

5

where B and V_0 are a gain factor and an offset voltage, respectively, both of which can be nonuniform. Combining and simplifying equations (7) and (8) produces:

$$V_{data} = V_{off} + C\sqrt{I} + D\sqrt[3]{I} \quad (9)$$

10

where V_{off} , C, and D are combinations of the earlier parameters.

The present invention provides various compensation methods for correcting the intended (input) data voltage V_{data} to compensate for variations in V_{off} , C, D, and m, thereby permitting well-defined OLED currents to be produced in the pixel array. In order to compensate for variations in the parameters V_{off} , C, D, and m, the external current sensing circuits as described above, collect information about each pixel's parameters, i.e., the current drawn by a single pixel can be measured externally. Using the measured information for the parameters V_{off} , C, D, and m, the present invention calculates the appropriate data voltages V_{data} in accordance with equation (9), for establishing the desired OLED currents during normal display operation.

20

Alternatively, it should be noted that an exact calculation of the four parameters V_{off} , C, D, and m from current measurements is computationally expensive, thereby requiring complicated iterative calculations. However, good approximations can be employed to reduce computational complexity, while maintaining effective compensation.

25

In one embodiment, pixel nonuniformity is characterized using only two parameters instead of four as discussed above. Referring to the pixel's current-voltage characteristic of equation (9), at normal illumination levels,

30

-27-

the $C\sqrt{I}$ term, associated with V_{n2} , and the $D\sqrt[3]{I}$ term, associated with V_{data} , have roughly the same magnitude. However, their dependence on pixel current is very different. The value of m is approximately 10, such that at typical illumination levels, $D\sqrt[3]{I}$ is a much weaker function of I than $C\sqrt{I}$.

For example, a 100 fold (100x) increase in I results in $C\sqrt{I}$ increasing by 10 fold (10x), but $D\sqrt[3]{I}$ increases only 1.58 fold (1.58x) (assuming $m = 10$). Namely, at typical illumination current levels, the OLED's I-V curve is much steeper than the TFT's I- V_{gs} curve.

As such, an approximation is made where at typical current levels, $D\sqrt[3]{I}$ is independent of current, and its pixel-to-pixel variation can be simply treated as an offset variation. While this approximation may introduce some error, the appearance of the overall display will not be significantly degraded. Thus, with a fair degree of accuracy all display nonuniformity can be treated as offset and gain variations. Thus, equation (9) can be approximated as:

$$V_{data} = V_{offset} + C\sqrt{I} \quad (10)$$

where $V_{offset} = V_{off} + D\sqrt[3]{I}$ now includes $D\sqrt[3]{I}$, and V_{offset} and C vary from pixel to pixel.

FIG. 14 illustrates a flowchart of a method 1400 for initializing the display by measuring the parameters of all the pixels. Method 1400 starts in step 1405 and proceeds to step 1410, where an "off" data voltage is applied to all pixels in a pixel block, except for the pixel of interest.

In step 1420, to determine V_{offset} and C for a given pixel of interest, method 1400 applies two data voltages ($V1$ and $V2$), and the current is measured for each data voltage.

In step 1430, the square root of the currents $I1$ and $I2$ are calculated. In one implementation, a square root table is used in this calculation.

-28-

In step 1440, V_{offset} and C are determined, i.e., two equations are available to solve two variables. In turn, the calculated V_{offset} and C for a given pixel of interest, are stored in a storage, e.g., memory. After all pixels have been measured, the memory contains the two parameters V_{offset} and C for each pixel in the array. These values can be used at a later time to calibrate or adjust V_{data} in accordance with equation (10). Method 1400 then ends in step 1455.

It should be noted that the current through the measured pixel should be high enough such that $D\sqrt{I}$ can be treated as approximately the same at the two measurement points. Preferably, this condition can be satisfied by making one measurement at the highest data voltage that the system can generate, and then the other measurement at a slightly lower data voltage.

Once display initialization has been performed, the raw input video data supplied to the display module can be corrected. It should be noted that the input video data can exist in various formats, e.g., the video data can represent (1) pixel voltages, (2) gamma-corrected pixel luminances, or (3) pixel currents. As such, the use of the stored parameters V_{offset} and C to calibrate or adjust the input video data depends on each specific format.

FIG. 15 illustrates a flowchart of a method 1500 for correcting input video data representing pixel voltages. Method 1500 starts in step 1505 and proceeds to step 1510, where the stored parameters, e.g., V_{offset} and C are retrieved for a pixel of interest.

In step 1520, method 1500 applies the retrieved parameters to calibrate the input video data. More specifically, it is expected that the input video data are unbiased, i.e., zero volts represents zero luminance, and data greater than zero represent luminance levels greater than zero. Therefore, the voltages can be regarded as equal to $C_0\sqrt{I}$, where I is the desired current and C_0 is a constant, e.g., with a typical value $10^3 V/\sqrt{A}$. To compensate for pixel variations, as input video data enters the display module, the value of $V_{\text{data}} = V_{\text{offset}} + C\sqrt{I}$ is calculated for each pixel, based on

-29-

the stored values of V_{offset} and C . This calculation consists of multiplying the video data by C/C_0 , and adding V_{offset} to the result.

The division by C_0 can be avoided if the video data V_{data} has already been scaled by the constant factor $1/C_0$. The multiplication by C can be
 5 performed directly in digital logic, or using a look-up table. For example, in the latter case, each value of C specifies a table where the value of the video data is an index, and the table entries consist of the result of the multiplication. (Alternatively, the roles of C and the input video data in the look-up table can be reversed.) After the multiplication is performed, rapid
 10 addition of V_{offset} can be implemented with digital logic.

In step 1530, the resulting voltage V_{data} , i.e., the corrected or adjusted input data, is then forwarded to the data driver of pixel array. Method 1500 then ends in step 1535.

In the case of gamma-corrected luminance data, the input video data
 15 are proportional to $L^{0.45}$, where L is luminance. This is typical for video data that have been pre-corrected for CRT luminance-voltage characteristics. Since $L^{0.45} = \sqrt{L}$, and the OLED luminance is proportional to its current, the data can be treated as proportional to \sqrt{I} . Thus, the calculation can be performed in the same way as for zero-offset voltage data as discussed
 20 above.

FIG. 16 illustrates a flowchart of a method 1600 for correcting input video data representing pixel currents, i.e., luminances. Method 1600 starts in step 1605 and proceeds to step 1610, where the square-root values of the measured current are calculated. Namely, method 1600 is similar to the
 25 method 1500 described above, with the exception that the video data representing I must be processed to yield \sqrt{I} . As noted above, this operation can be implemented using a table that provides square-root values as needed for deriving the pixel parameters V_{offset} and C from pixel current measurements, as illustrated in FIG. 14. Here, this table is used
 30 again to generate \sqrt{I} from the video data.

Then, the data correction steps 1610-1645 of method 1600 are identical to the method 1500 as described above, with the exception that the

-30-

square root of the input data is multiplied by C in step 1630 and then followed by an addition of V_{offset} to yield the corrected data voltage.

Alternatively, in another embodiment, pixel nonuniformity is characterized using only one parameter instead of two or four parameters as discussed above. Namely, an additional simplification is made such that pixel nonuniformity is characterized using a single parameter.

More specifically, in many cases the pixel-to-pixel variation in the gain factor C is small, leaving V_{offset} as the only significant source of nonuniformity. This occurs when the TFT transconductance parameter k and the voltage gain factor B are uniform. In this case, it is sufficient to determine each pixel's V_{offset} . Then, data correction does not involve multiplication (since the gain factor C is assumed to be uniform), but only involves addition of the offset parameter.

This one-parameter approximation is similar to the above autozeroing OLED pixel structures. The present one-parameter compensation method should produce satisfactory display uniformity, while reducing computational expense. However, if maintaining display uniformity is very important to a particular display application, then the above described two or four-parameter methods can be employed at the expense of increasing computational complexity and expense.

Again, for one-parameter extraction and data correction, the display initialization process depends on the format of the data. The single-parameter method can be used to initialize the display and to correct video data for the cases of video data representing (1) pixel voltages, (2) pixel currents, and (3) gamma-corrected pixel luminances.

FIG. 17 illustrates a flowchart of a method 1700 for initializing the display by measuring the parameters of all the pixels. Method 1700 starts in step 1705 and proceeds to step 1710, where an "off" data voltage is applied to all pixels in a pixel block, except for the pixel of interest.

In step 1720, to determine V_{offset} and C for a given pixel of interest, method 1700 applies two data voltages (V_1 and V_2), and the current is measured for each data voltage.

-31-

In step 1730, the square root of the currents I1 and I2 are calculated. In one implementation, a square root table is used in this calculation.

It should be noted that since the value of C is supposed to be uniform, then ideally it can be determined by making a two-point measurement on a
 5 single pixel anywhere in the display. However, this is questionable, since the pixel of interest may be unusual. Thus, a two-point measurement is made on every pixel.

In step 1740, the average C is determined. Namely, using a table to calculate \sqrt{I} for each current measurement, an average value of C for the
 10 display can be calculated.

In step 1750, V_{offset} is determined for each pixel from its current measurements based on the average C. In this manner, small variations in C across the display are partially compensated by the calculated V_{offset} . For reasons given above, it is preferable to make each pixel's current
 15 measurement at the highest possible data voltage.

Finally, in step 1760, each pixel's V_{offset} is stored in a storage, e.g., memory. Method 1700 then ends in step 1765.

FIG. 18 illustrates a flowchart of a method 1800 for correcting input video data representing pixel voltages. Method 1800 starts in step 1805 and
 20 proceeds to step 1810, where the stored parameters, e.g., V_{offset} is retrieved for a pixel of interest.

In step 1820, method 1800 applies the retrieved parameter V_{offset} to calibrate the input video data. More specifically, the value of
 $V_{data} = V_{offset} + V_{data}$ is calculated for each pixel, based on the stored value of
 25 V_{offset} .

In step 1830, the resulting voltage V_{data} , i.e., the corrected or adjusted input data, is then forwarded to the data driver of pixel array. Method 1800 then ends in step 1835.

FIG. 19 illustrates a flowchart of a method 1900 for initializing the
 30 display by measuring the parameters of all the pixels for the situation where the video data represents pixel currents. It should be noted that

-32-

method 1900 is very similar to method 1700 as discussed above. The exception arises when method 1900 incorporates an additional step 1950, where a calculated average value of C is used to generate a table of zero-offset data voltage vs. pixel current. From this point forward in the

5 initialization and data correction processes, square root operations can be avoided by using this table. The table is expected to provide a more accurate representation of the pixel's current-voltage characteristics than the square-root function. The table is then stored in a storage, e.g., a memory for later use. Then the individual pixel current measurements are

10 used as indexes to enter this table, and individual pixel offsets V_{offset} are determined.

FIG. 20 illustrates a flowchart of a method 2000 for correcting input video data represented in pixel currents, i.e., luminances. Method 2000 starts in step 2005 and proceeds to step 2010, where the current pixel of

15 interest's V_{offset} is retrieved from storage.

In step 2020, the zero-offset data voltage vs. pixel current table is used to obtain a zero-offset data voltage from the input video data current. This zero-offset data voltage is added to the retrieved V_{offset} in step 2030. Finally, in step 2040, the corrected or adjusted input video data, is then

20 forwarded to the data driver of the pixel array.

In sum, as video data are introduced into the display module, the zero-offset data voltage corresponding to each current is looked up in the V-I table. Then the stored pixel offset is added to the zero-offset voltage, and the result is the input to the data driver. Method 2000 then ends in step

25 2045.

FIG. 21 illustrates a flowchart of a method 2100 for initializing the display by measuring the parameters of all the pixels for the situation where the video data represents gamma-corrected luminance data. It should be noted that method 2100 is very similar to method 1900 as

30 discussed above. The exception arises in step 2150 of method 2100, where a calculated average value of C is used to generate a table of zero-offset data voltage vs. the square root of the pixel current. Namely, the video data can

-33-

be approximated as representing \sqrt{I} . As such, the average value of C is used to create a zero-offset table of V_{data} vs. \sqrt{I} , and this table is saved in a storage such as a memory.

FIG. 22 illustrates a flowchart of a method 2200 for correcting input video data represented in gamma-corrected luminance data. It should be noted that method 2200 is very similar to method 2000 as discussed above. The only exception arises in the zero-offset table of V_{data} vs. \sqrt{I} . Thus, in sum, incoming video data are used to look up the zero-offset data voltages, and stored pixel offsets are added to these voltages.

It should be noted that the above description assumes that the OLED drive transistor N2 is operated in saturation. Similar compensation methods can be used, if N2 is operated in the linear region. In that case, the pixel's current voltage characteristic is expressed as:

$$V_{data} = V_{off} + C(I)I + D\sqrt{I} \quad (11)$$

where $C(I)$ is a weak function of I . Again, the $D\sqrt{I}$ term can be incorporated in V_{off} if the current is sufficiently high, such that only an offset term and a gain factor need to be determined as discussed above. However, the one-parameter approximation, where only the offset voltage is regarded as nonuniform, is not anticipated to be as accurate as the above one-parameter approximation for the saturation case, because now the gain factor $C(I)$ contains the nonuniform OLED parameters A and m. Thus, the two-parameter correction method will likely perform significantly better than the one-parameter correction method, if N2 is operated in the linear region.

FIG. 23 illustrates a block diagram of a system 2300 employing a display 2320 having a plurality of active matrix LED pixel structures 300, 500, or 700 of the present invention. The system 2300 comprises a display controller 2310 and a display 2320.

More specifically, the display controller can be implemented as a general purpose computer having a central processing unit CPU 2312, a

-34-

memory 2314 and a plurality of I/O devices 2316 (e.g., a mouse, a keyboard, storage devices, e.g., magnetic and optical drives, a modem, A/D converter, various modules, e.g., measurement module 1330 as discussed above, and the like). Software instructions (e.g., the various methods described above) 5 for activating the display 2320 can be loaded, e.g., from a storage medium, into the memory 2314 and executed by the CPU 2312. As such, the software instructions of the present invention can be stored on a computer-readable medium.

The display 2320 comprises a pixel interface 2322 and a plurality of 10 pixels (pixel structures 300, 500, or 700). The pixel interface 2322 contains the necessary circuitry to drive the pixels 300, 500, or 700. For example, the pixel interface 2322 can be a matrix addressing interface as illustrated in FIG. 1 and may optionally include additional signal/control lines as discussed above.

15 Thus, the system 2300 can be implemented as a laptop computer. Alternatively, the display controller 2310 can be implemented in other manners such as a microcontroller or application specific integrated circuit (ASIC) or a combination of hardware and software instructions. In sum, the system 2300 can be implemented within a larger system that incorporates a 20 display of the present invention.

Although the present invention is described using NMOS transistors, it should be understood that the present invention can be implemented using PMOS transistors, where the relevant voltages are reversed.

Although various embodiments which incorporate the teachings of 25 the present invention have been shown and described in detail herein, those skilled in the art can readily devise many other varied embodiments that still incorporate these teachings.

-35-

What is claimed is:

1. A display comprising at least one pixel, said pixel comprising:
 - a first transistor having a gate, a source and a drain, where said gate
 - 5 is for coupling to a first select line;
 - a capacitor having a first and second terminals, where said drain of said first transistor is coupled to said first terminal of said capacitor;
 - a second transistor having a gate, a source and a drain, where said drain of said first transistor is coupled to said drain of said second
 - 10 transistor, where said gate of said second transistor is for coupling to an autozero line;
 - a third transistor having a gate, a source and a drain, where said source of said third transistor is coupled to said drain of said second transistor, where said gate of said third transistor is for coupling to a second
 - 15 select line;
 - a fourth transistor having a gate, a source and a drain, where said drain of said fourth transistor is coupled to said source of said second transistor, where said gate of said fourth transistor is coupled to said source of said first transistor;
 - 20 a fifth transistor having a gate, a source and a drain, where said drain of said fifth transistor is coupled to said drain of said third transistor, where said gate of said fifth transistor is coupled to said source of said first transistor; and
 - a light element having two terminals, where said source of said
 - 25 fourth transistor and said source of said fifth transistor are coupled to one of said terminal of said light element.
2. The display of claim 1, wherein said light element is an organic light emitting diode (OLED).
- 30 3. The display of claim 1, wherein said transistors are thin film transistors constructed from amorphous-silicon.

-36-

4. The display of claim 1, wherein said second select line is an autozero line from a previous row.
- 5 5. A display comprising at least one pixel, said pixel comprising:
a first transistor having a gate, a source and a drain, where said gate is for coupling to a select line;
a capacitor having a first and second terminals, where said drain of said first transistor is coupled to said first terminal of said capacitor;
10 a second transistor having a gate, a source and a drain, where said drain of said first transistor is coupled to said drain of said second transistor, where said gate of said second transistor is for coupling to an autozero line;
a diode having a first and second terminals, where said source of said
15 second transistor is coupled to said first terminal of said diode, where said second terminal of said diode is for coupling to an illuminate line;
a third transistor having a gate, a source and a drain, where said drain of said third transistor is coupled to said first terminal of said diode, where said gate of said third transistor is coupled to said source of said first
20 transistor; and
a light element having two terminals, where said source of said third transistor is coupled to one of said terminal of said light element.
6. The display of claim 5, wherein said diode is a Schottky diode.
- 25 7. A display comprising at least one pixel, said pixel comprising:
a first transistor having a gate, a source and a drain, where said gate is for coupling to a first select line;
a capacitor having a first and second terminals, where said drain of
30 said first transistor is coupled to said first terminal of said capacitor;
a second transistor having a gate, a source and a drain, where said source of said first transistor is coupled to said source of said second

-37-

transistor, where said gate of said second transistor is for coupling to an autozero line;

5 a third transistor having a gate, a source and a drain, where said source of said third transistor is coupled to said drain of said second transistor, where said gate of said third transistor is for coupling to a second select line;

10 a fourth transistor having a gate, a source and a drain, where said drain of said fourth transistor is coupled to said source of said third transistor, where said gate of said fourth transistor is coupled to said source of said first transistor;

a fifth transistor having a gate, a source and a drain, where said drain of said fifth transistor is coupled to said drain of said third transistor, where said gate of said fifth transistor is coupled to said source of said first transistor; and

15 a light element having two terminals, where said source of said fourth transistor and said source of said fifth transistor are coupled to one of said terminal of said light element.

8. The display of claim 7, wherein said light element is an organic light emitting diode (OLED).

9. The display of claim 7, wherein said second select line is an autozero line from a previous row.

25 10. A display comprising:

at least one autozeroing pixel structure;

an autozero line, coupled to said autozeroing pixel structure, for allowing said autozeroing pixel structure to perform autozeroing; and

30 a second line, coupled to said autozeroing pixel structure, for carrying a voltage to said autozeroing pixel structure that permits a range of autozero voltages to be extended.

-38-

11. A method of illuminating a display having at least one pixel, where said pixel contains a circuit for controlling application of energy to a light element, said method comprising the steps of:
- (a) autozeroing the pixel;
 - 5 (b) loading data onto said pixel via a data line; and
 - (c) illuminating said light element in accordance with said stored data.
12. The method of claim 11, further comprising the step of:
- 10 (a') precharging said pixel prior to said autozeroing step (a).
13. The method of claim 11, wherein said autozeroing step (a) comprises the step of applying a reference black level.
- 15 14. A method of illuminating a display having at least one pixel, said method comprising the steps of:
- (a) measuring a pixel parameter of said pixel;
 - (b) adjusting an input pixel data in accordance with said measured pixel parameter; and
 - 20 (c) illuminating said pixel in accordance with said adjusted input pixel data.
15. The method of claim 14, wherein said measuring step (a) measures externally a current drawn by said pixel.
- 25 16. The method of claim 15, wherein said adjusting step (b) adjusts said pixel data by using said measured pixel parameter to determine a voltage offset (V_{offset}) parameter.
- 30 17. The method of claim 16, wherein said adjusting step (b) further adjusts said pixel data by using said measured pixel parameter to determine a gain factor (C) parameter.

-39-

18. A system comprising:
a display controller; and
a display, coupled to said display controller, where said display
5 comprises a plurality of pixels, where each pixel comprises:
a first transistor having a gate, a source and a drain, where said gate
is for coupling to a first select line;
a capacitor having a first and second terminals, where said drain of
said first transistor is coupled to said first terminal of said capacitor;
10 a second transistor having a gate, a source and a drain, where said
source of said first transistor is coupled to said source of said second
transistor, where said gate of said second transistor is for coupling to an
autozero line;
a third transistor having a gate, a source and a drain, where said
15 source of said third transistor is coupled to said drain of said second
transistor, where said gate of said third transistor is for coupling to a second
select line;
a fourth transistor having a gate, a source and a drain, where said
drain of said fourth transistor is coupled to said source of said third
20 transistor, where said gate of said fourth transistor is coupled to said source
of said first transistor;
a fifth transistor having a gate, a source and a drain, where said
drain of said fifth transistor is coupled to said drain of said third transistor,
where said gate of said fifth transistor is coupled to said source of said first
25 transistor; and
a light element having two terminals, where said source of said
fourth transistor and said source of said fifth transistor are coupled to one of
said terminal of said light element.

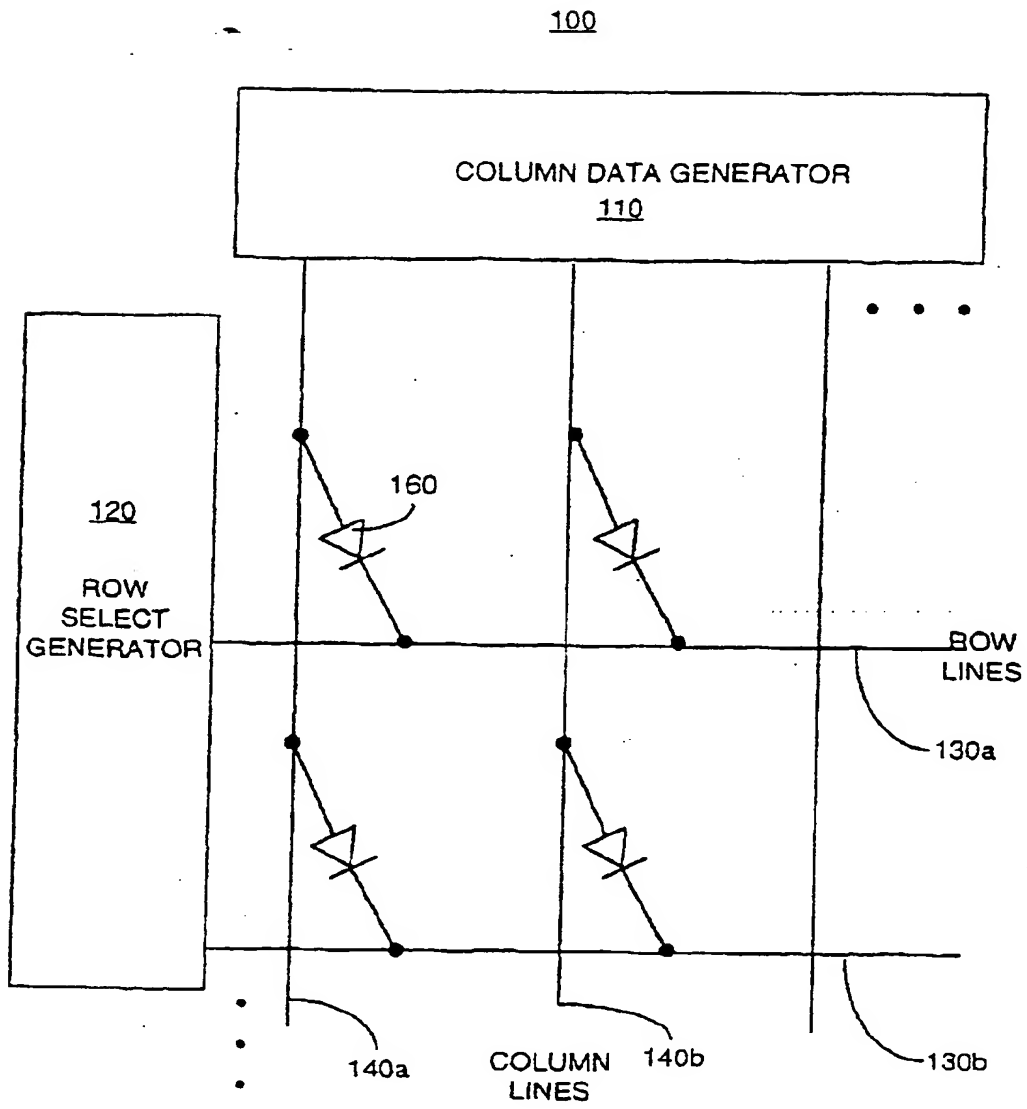
- 30 19. A system comprising:

-40-

a display controller having a measurement module for measuring a pixel parameter of a pixel and a storage for storing said measured pixel parameter; and

a display, coupled to said display controller, for displaying an input
5 pixel data that is adjusted in accordance with said stored pixel parameter.

20. The system of claim 19, wherein said measurement module comprises a current sensing circuit for measuring a current drawn by said pixel.

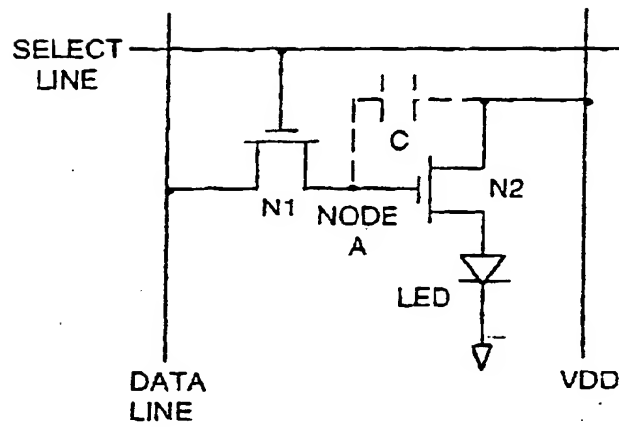


(PRIOR ART)

FIG. 1

2/14

200



(PRIOR ART)

FIG. 2

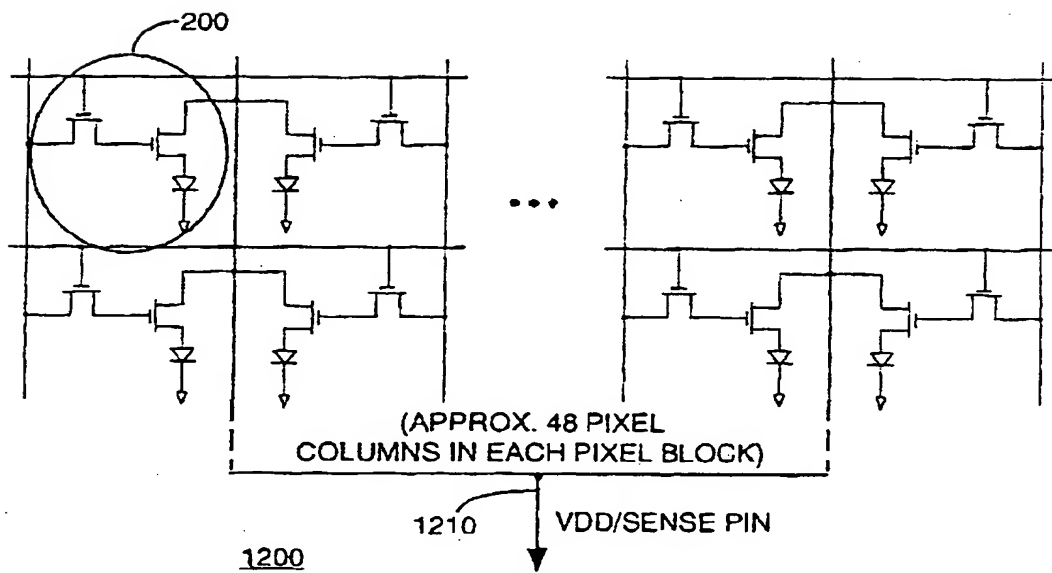
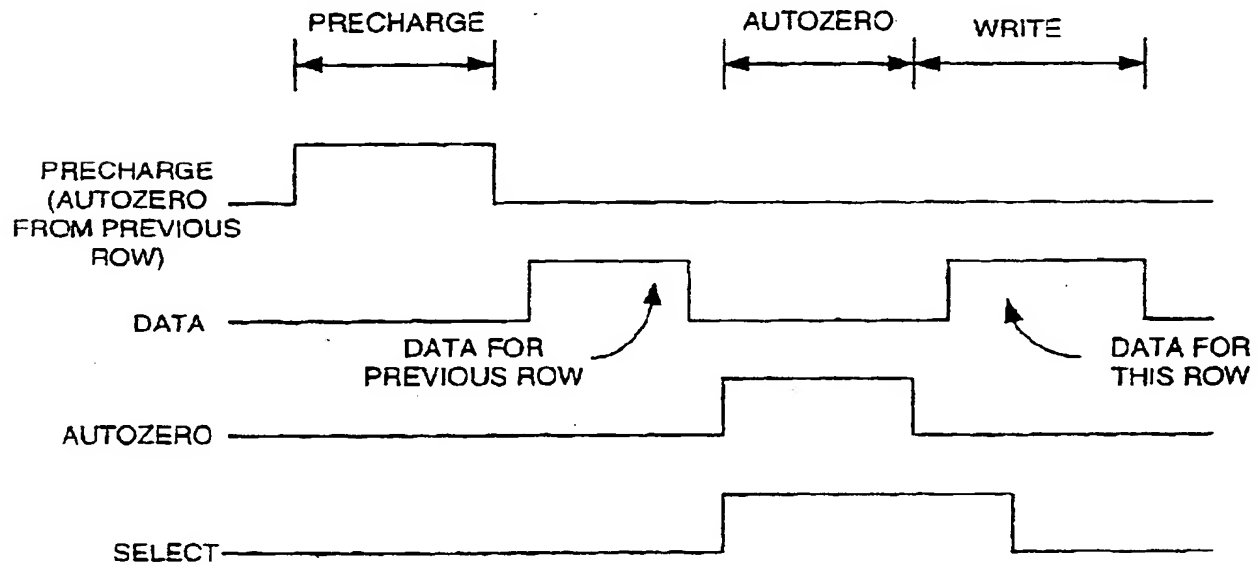
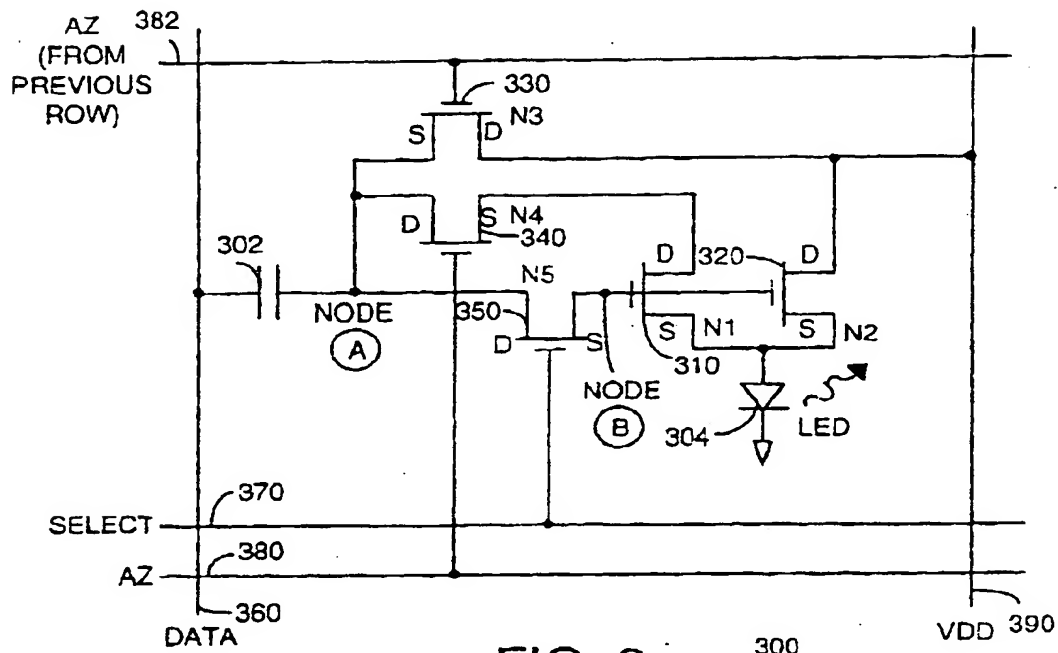


FIG. 12

3/14



4/14

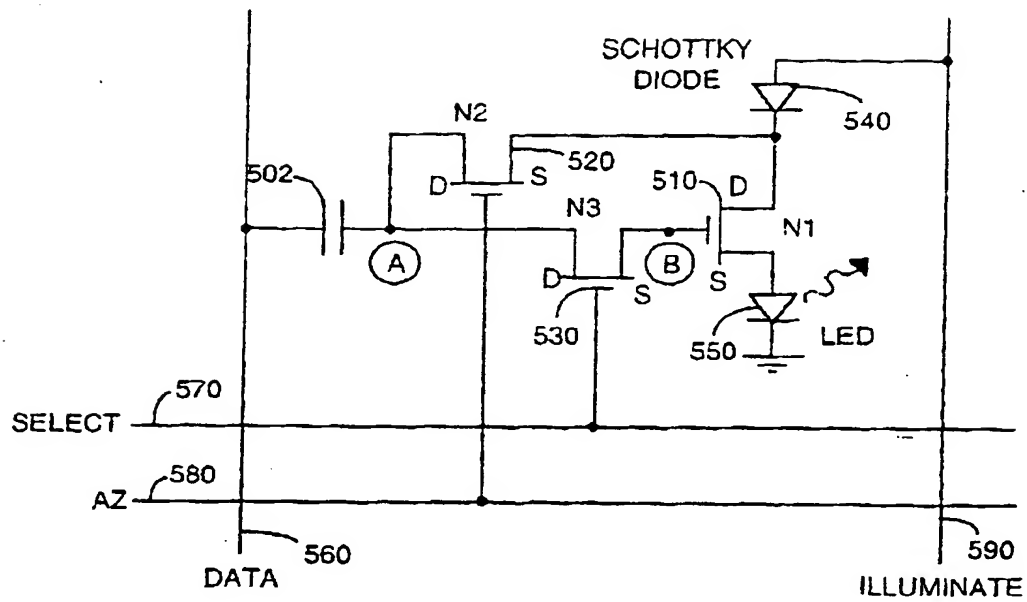


FIG. 5

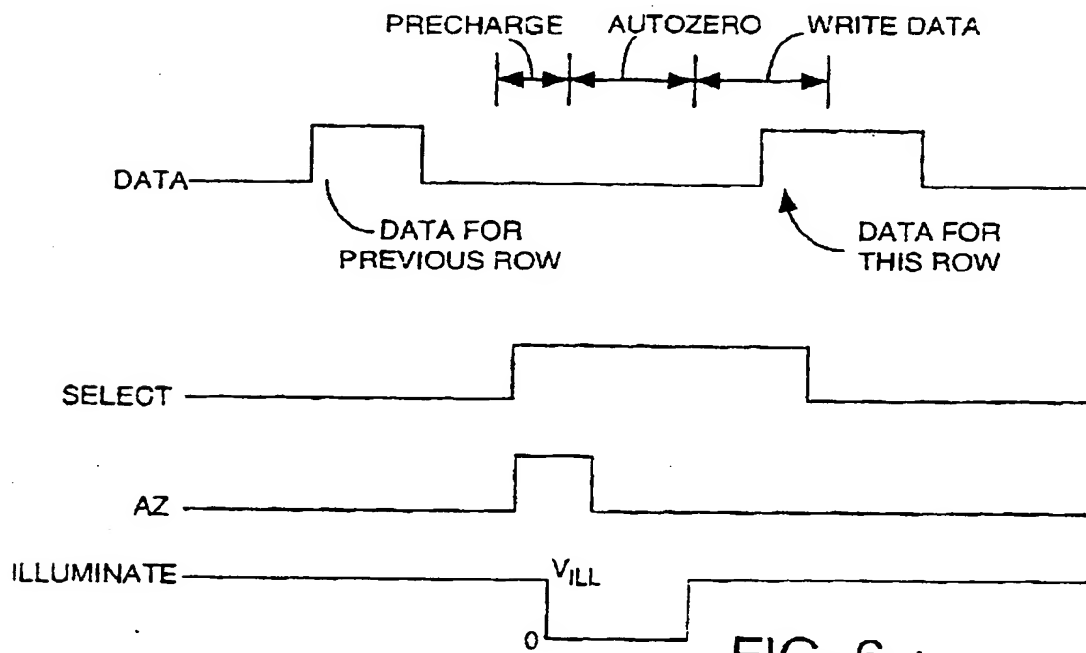
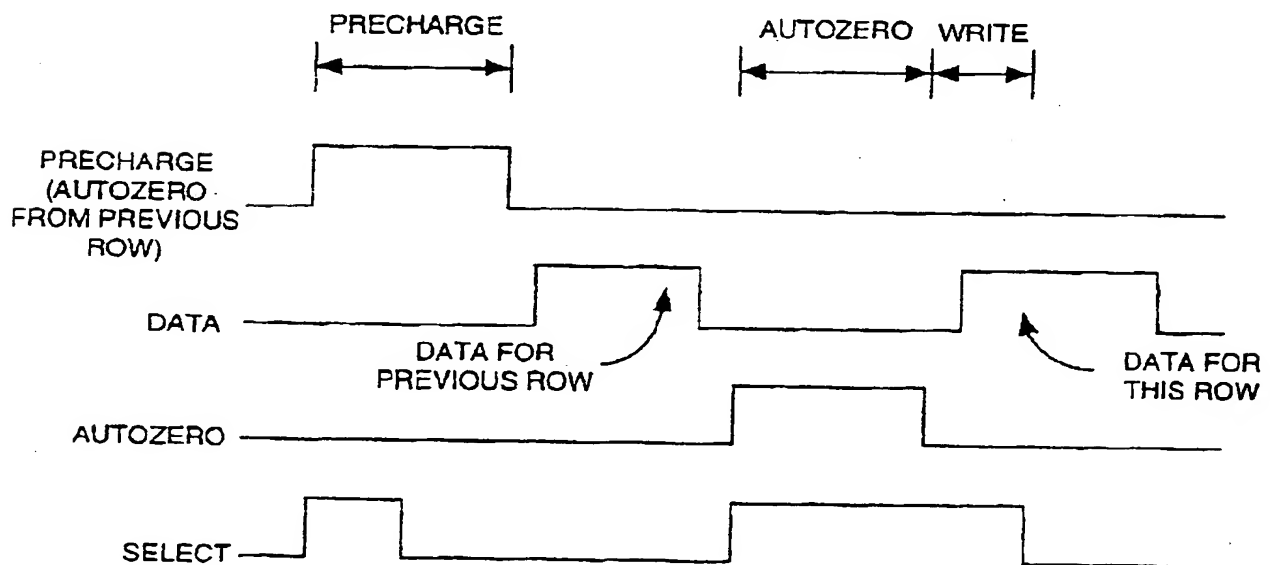
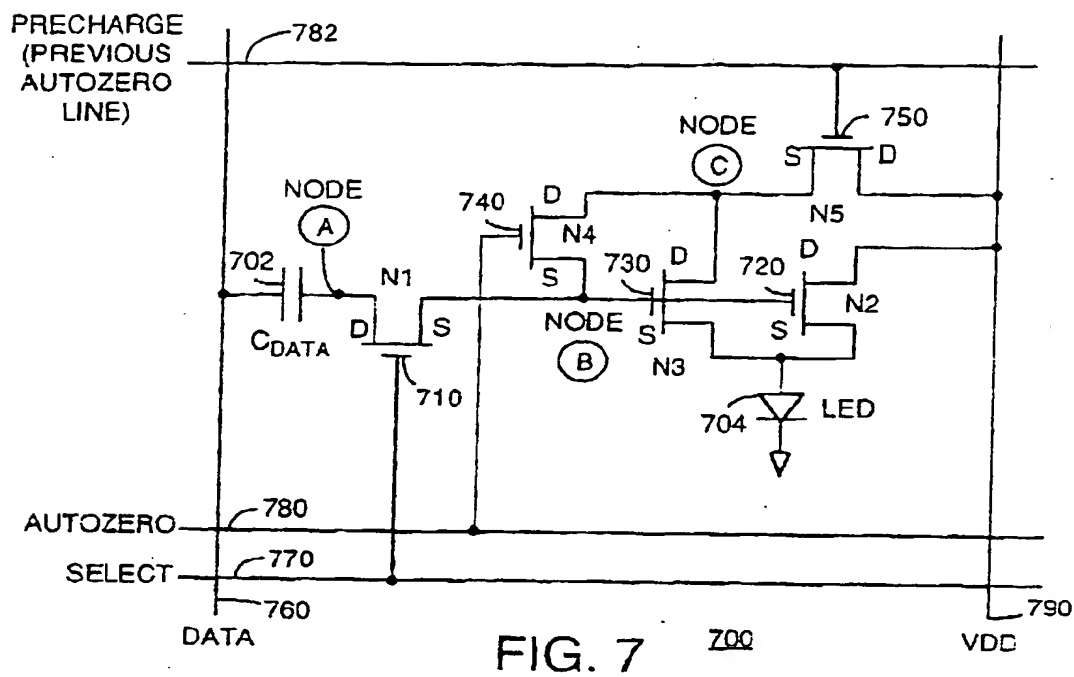


FIG. 6

5/14



6/14

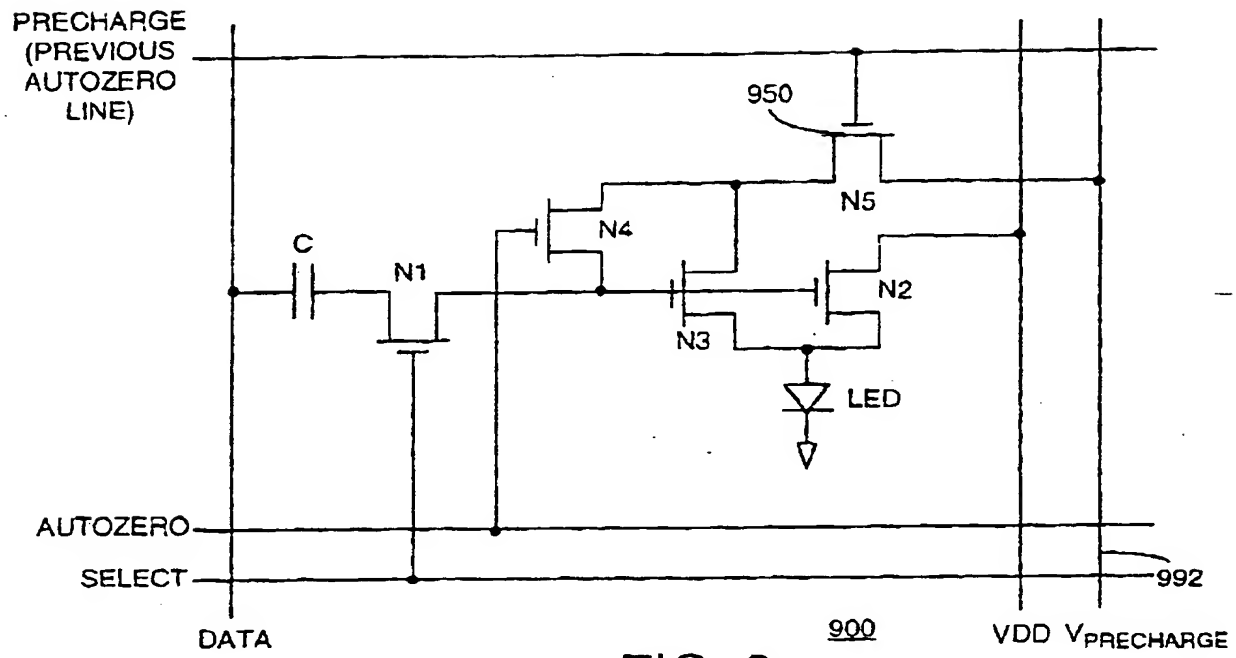
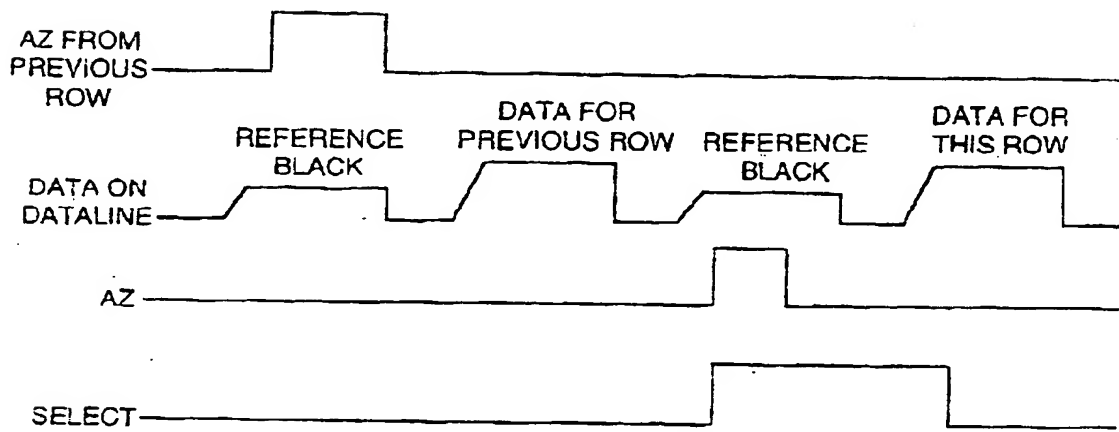
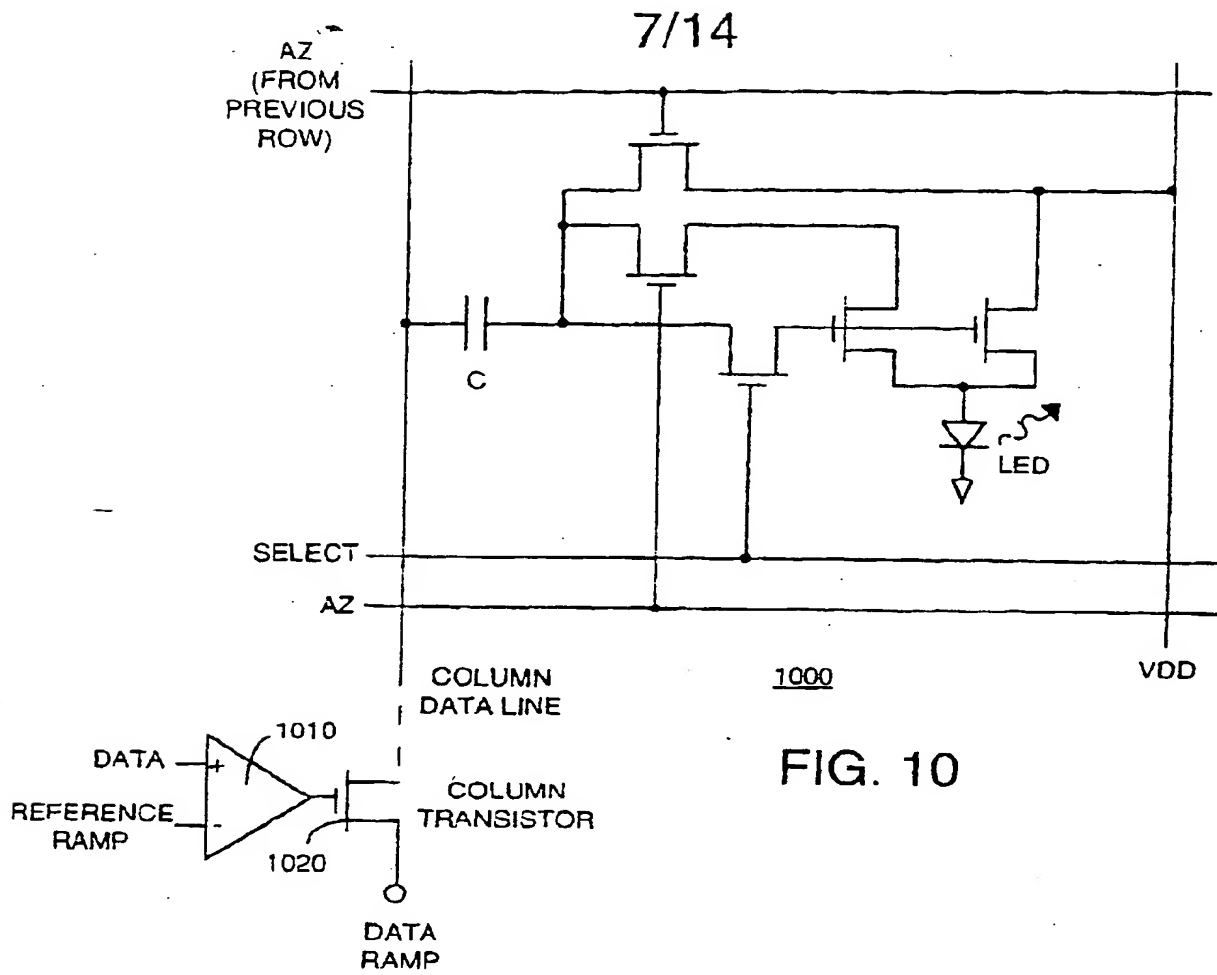


FIG. 9



8/14

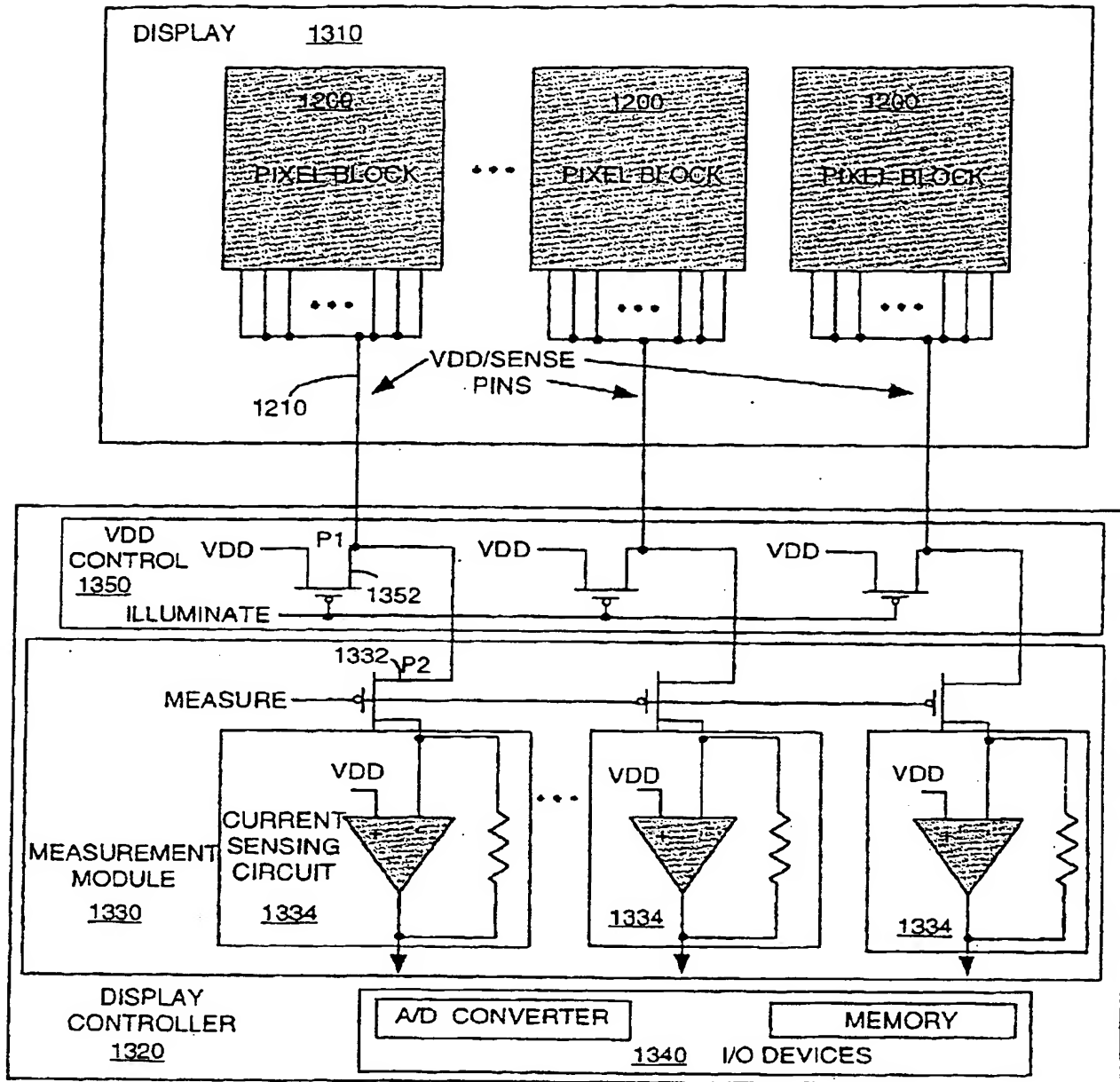


FIG. 13

9/14

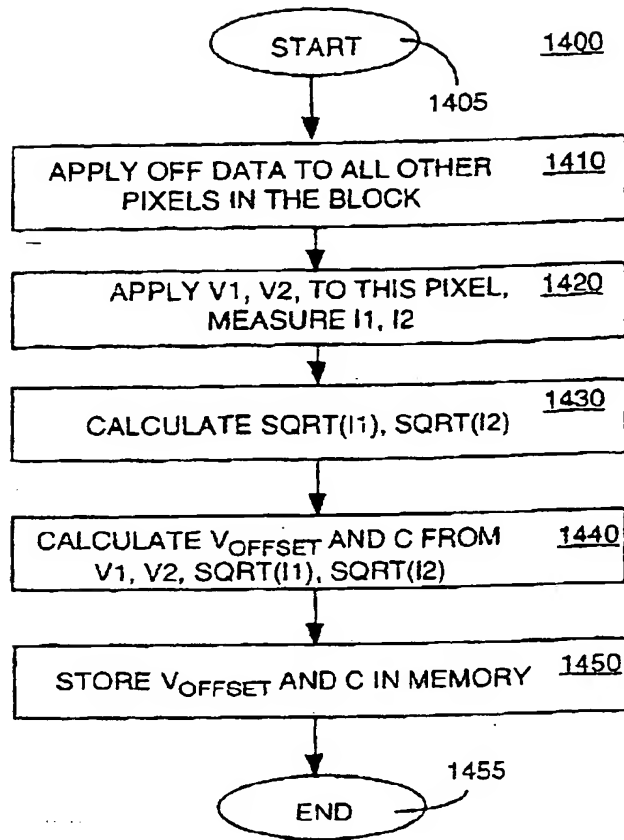


FIG. 14

10/14

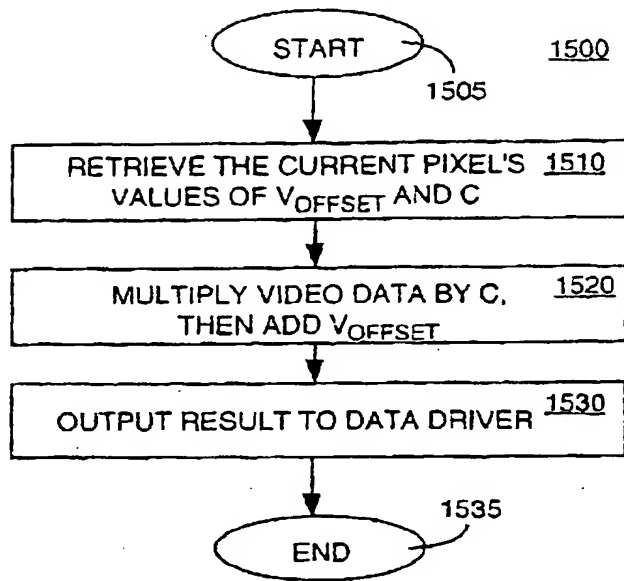


FIG. 15

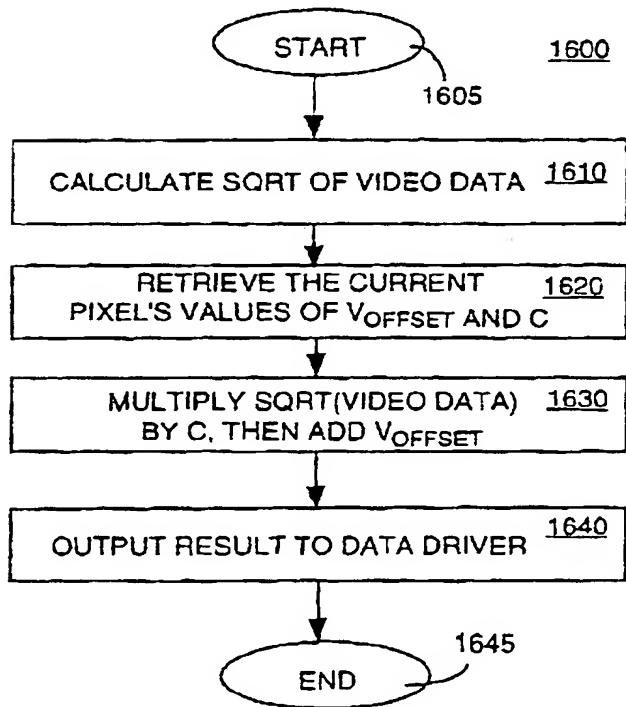


FIG. 16

11/14

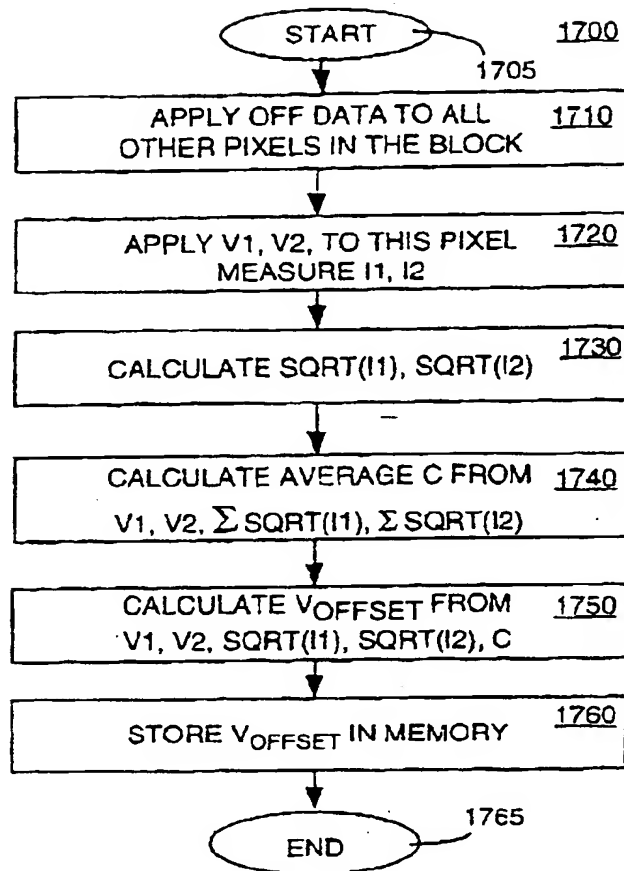


FIG. 17

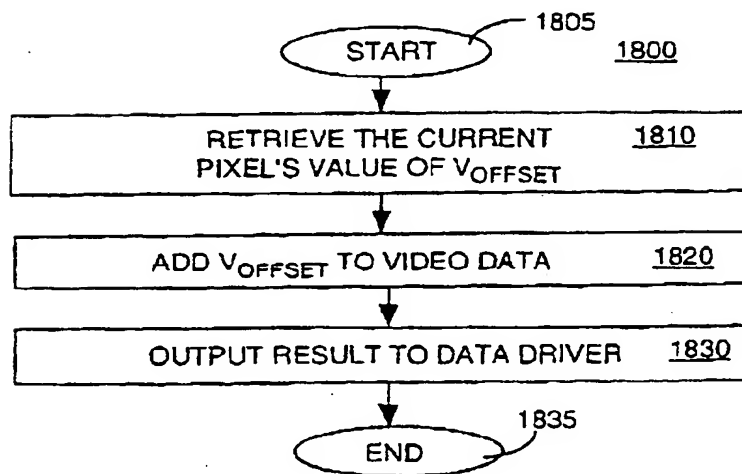


FIG. 18

12/14

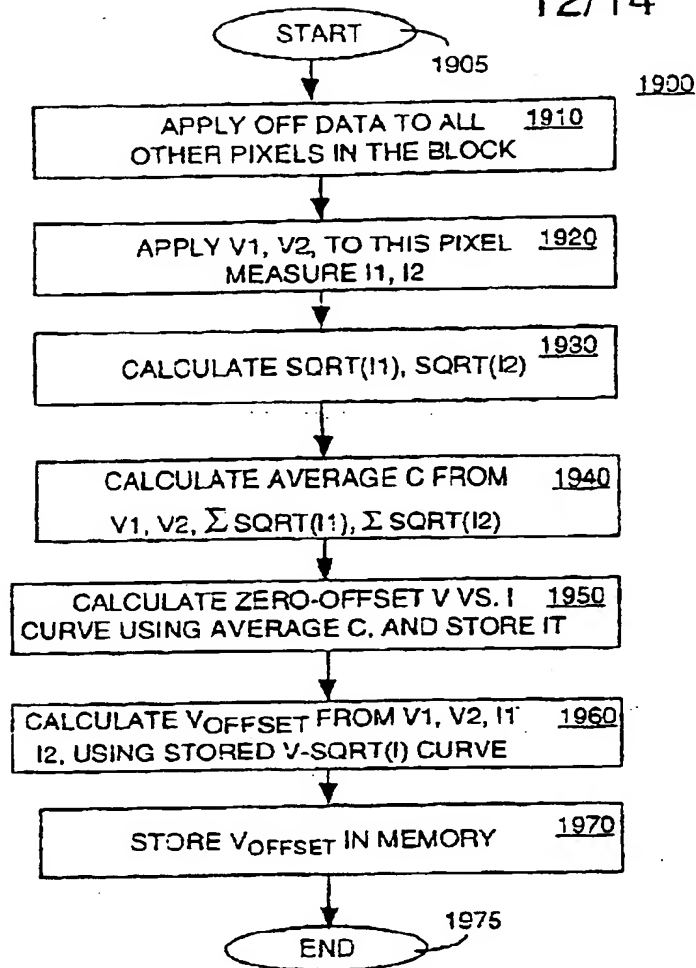


FIG. 19

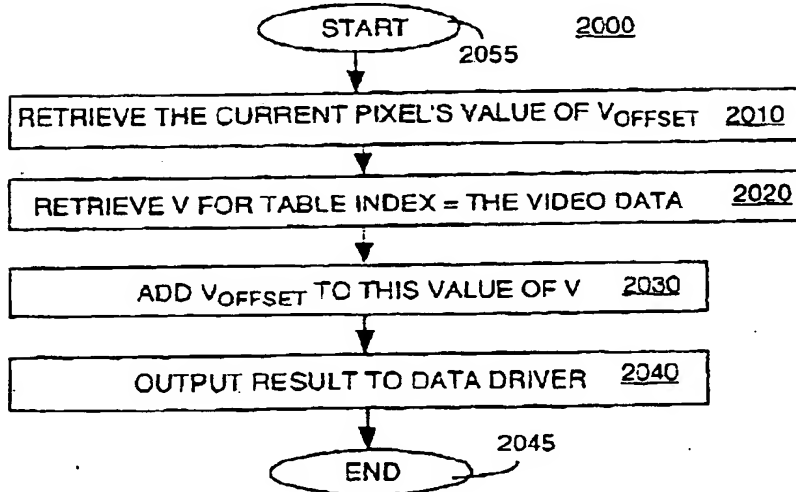
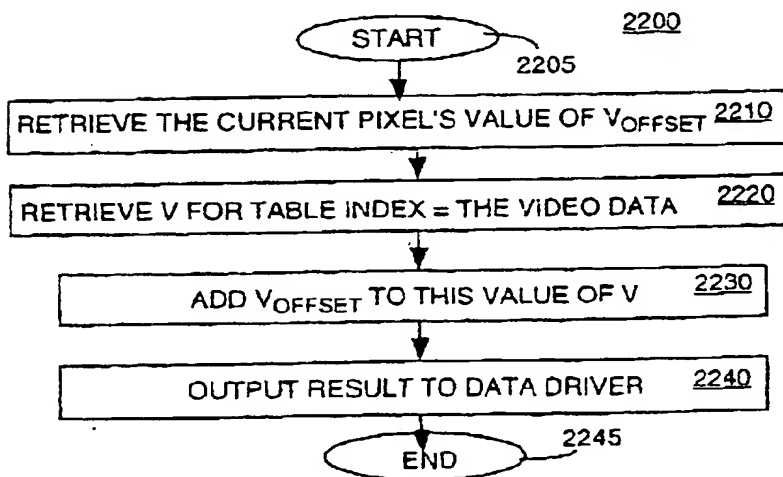
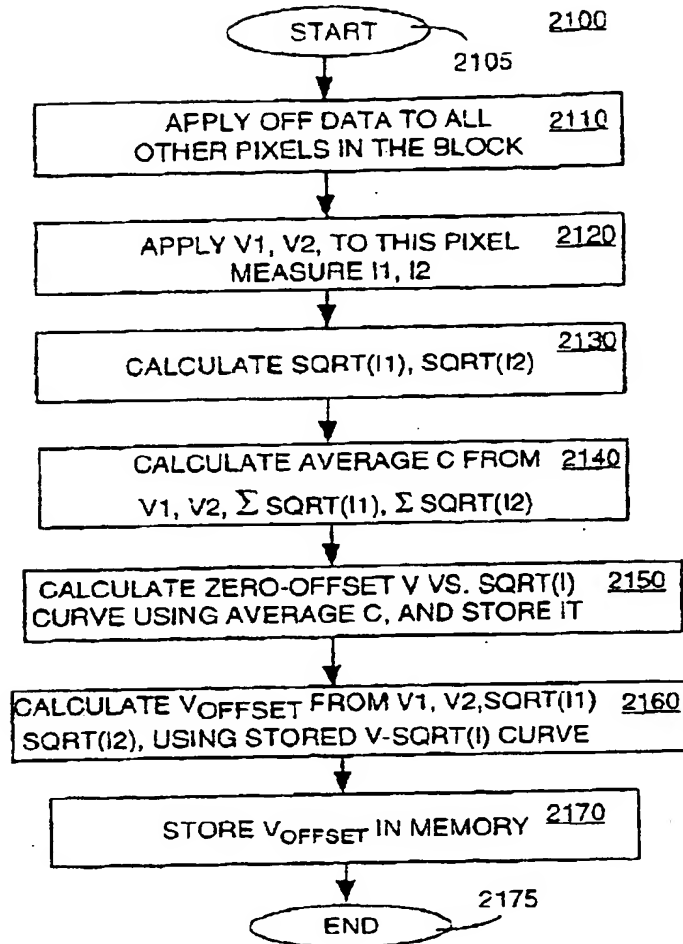


FIG. 20

13/14



14/14

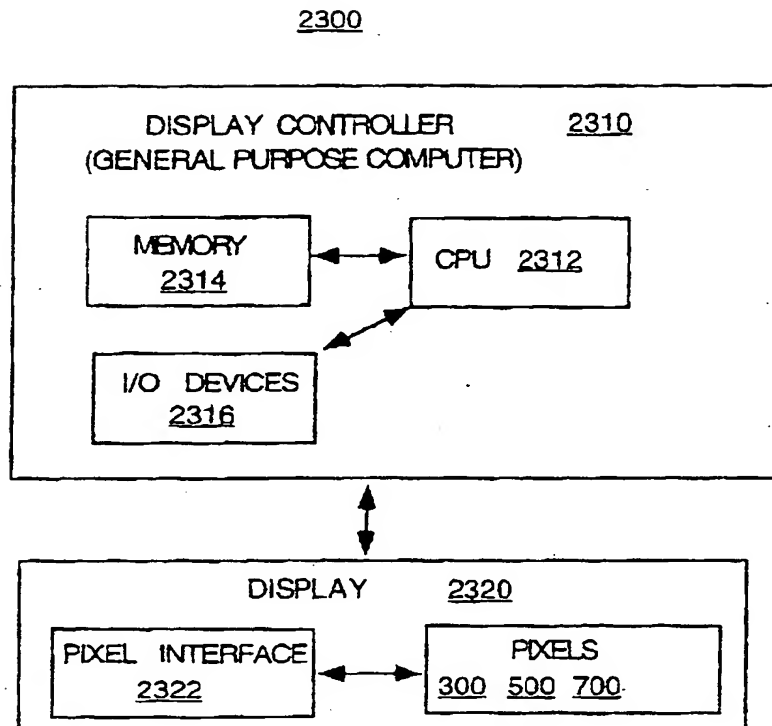


FIG. 23

Abstract of the Disclosure

LED pixel structures and methods that improve brightness uniformity by reducing current nonuniformities in a light-emitting diode of the pixel structures are disclosed.